



Etudes théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm

Imed Ben Akkez Ben Akkez

► To cite this version:

Imed Ben Akkez Ben Akkez. Etudes théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm. Autre. Université de Grenoble, 2012. Français. NNT : 2012GRENT081 . tel-00870329

HAL Id: tel-00870329

<https://theses.hal.science/tel-00870329>

Submitted on 7 Oct 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Imed BEN AKKEZ

Thèse dirigée par **Francis Balestra** et co-encadrée par **Claire Fenouillet-Beranger** et **Antoine Cros**

préparée au sein du l'Institut de Microélectronique,
Électromagnétisme et Photonique (IMEP-LAHC) et
STMicroelectronics, Crolles.

dans l'École Doctorale: **EEATS (Electronique,
Eectrotechnique, Automatique, Traitement du Signal)**

Études théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm

Thèse soutenue publiquement le **20 décembre 2012**,

devant le jury composé de :

M. Georges BREMOND

Pr. à l'INSA Lyon

Président

M. Pascal MASSON

Pr. Ecole Polytechnique de Nice Sophia-Antipolis

Rapporteur

M. Matteo VALENZA

Pr. Université Montpellier 2

Rapporteur

M Francis BALESTRA

DR. CNRS Alpes –IMEP/Grenoble INP

Directeur de thèse

Mme. Claire FENOUILLET-BERANGER

Ing. CEA-Léti

Co-encadrante

M. Antoine CROS

Ing. STMicroelectronics, Crolles

Invité

M. Gérard GHIBAUDO

DR. CNRS Alpes –IMEP/Grenoble INP

Examineur



À ma mère

Remerciements

Je tiens à remercier M. Francis Balestra, mon directeur de thèse, pour m'avoir donné la possibilité de travailler durant ces années de thèse sur ce sujet passionnant, pour ses conseils avisés, pour sa rigueur scientifique qui m'a permis d'approfondir mon travail, pour la confiance qu'il a su me témoigner et pour ses encouragements qui ont contribué à l'aboutissement de cette thèse.

Je tiens à remercier Antoine Cros de STMicroelectronics (Crolles) et Claire Fenouillet-Béranger du CEA-LETI pour leurs soutiens et leurs conseils avisés.

Par leurs encouragements, ils ont su me mettre à l'aise et m'ont donné confiance surtout dans un environnement industriel qui demande de la rigueur.

Je tiens à remercier tout particulièrement Gérard Ghibaudo directeur du laboratoire IMEP-LAHC, pour l'aide précieuse et le soutien qu'il m'a apporté pendant ces trois ans. Ses vastes connaissances et son profond sens physique m'ont grandement aidé à surmonter les difficultés et à faire avancer ce travail. Je salue en lui sa simplicité et sa disponibilité 'Un grand Homme'.

Je tiens aussi à remercier très chaleureusement toutes les personnes qui m'ont aidé et m'ont soutenu pendant ces trois années. En particulier Maroua et Karim sans oublier Mustapha, Patrick, Cheikh, Salim, Damien, Flore, Alice, Quentin, Sébastien, Vincent, Flora, Mouna, Rached et Chahla.

Je remercie bien évidemment les membres de ma famille pour leur soutien indéfectible.

Introduction générale

La première brique de la microélectronique a vu le jour aux États-Unis en 1947 lorsque des scientifiques du laboratoire Bell inventent le transistor. Cette découverte a permis à Intel en 1971 d'introduire le premier processeur qui contenait 2300 transistors. En 1974, les ingénieurs du T.J.IBM Watson Research dirigé par Robert Dennard ont décrit comment la réduction de la longueur de grille, l'épaisseur de l'isolant de grille, peuvent simultanément améliorer la vitesse de commutation, réduire la consommation d'énergie et augmenter la densité d'intégration des transistors. Cette étude a initié la recherche en microélectronique tel qu'on la connaît actuellement et a sonné le début de la quête effrénée de la réduction des dimensions des transistors.

Ensuite, les années 80 ont marqué le domaine des intégrations à large échelle VLSI (Very Large Scale Integration) avec l'intégration d'un million de transistor dans un seul circuit. En même temps IBM a introduit le premier ordinateur personnel et a commencé à démocratiser l'usage personnel de l'ordinateur. Ce qui a donné une autre dimension à l'industrie des semi-conducteurs.

Actuellement, les innovations dans le domaine de microélectronique évoluent rapidement et ce rythme s'est accéléré ces dix dernières années. Ce domaine est devenu très compétitif et à forte croissance générant ainsi plus 250 milliards de dollars en 2009 et devenant ainsi un secteur clé et vital pour les économies mondiales.

Avec la réduction rapide des longueurs de grille les ingénieurs se sont trouvés confrontés à d'autres problèmes, en particulier relatifs aux performances liées à la difficulté d'augmenter le courant à l'état on, et le courant à l'état off qui croît exponentiellement pour les différentes générations technologiques. En 2001 la consommation statique due aux fuites approchait la consommation dynamique des circuits, ce qui devenait un des principaux défis à relever.

Avec le nœud technologique 45 nm, Intel a utilisé le silicium contraint (Strain Silicon) pour améliorer la vitesse de commutation des circuits. En 2007 la loi de Moore a été relancé pour quelques années en faisant un très grand changement de matériaux, en remplaçant l'oxyde de silicium entre la grille et le canal par l'oxyde d'hafnium. Avec ce matériau on a pu endiguer une des principales sources de fuite de courant (passage par effets tunnel des électrons entre grille et canal). Par contre la fuite entre source et drain reste très problématique avec les nœuds sub-20 nm .C'est ce qui a poussé les industriels à réfléchir sérieusement aux récents changements d'architecture du transistor !

Les chercheurs ont en effet trouvé des moyens pour augmenter l'efficacité de la grille. Une des approches est d'introduire une couche d'isolant sous une fine couche de silicium

intrinsèque c'est ce qu'on appelle l'UTB SOI (Ultra Thin Body Silicon On Insulator). Il s'agit d'un produit révolutionnaire qui permet d'abaisser la consommation d'énergie, ce qui très important notamment pour l'électronique portable. Une approche consiste à augmenter le nombre de grilles (2, 3 ou 4) afin d'améliorer le contrôle électrostatique des TMOS.

Le travail présenté dans ce manuscrit a été réalisé au sein de l'équipe de Caractérisation et Fiabilité qui fait partie du Support au développement des plateformes technologiques de STMicroelectronics, Crolles et à l'IMEP-LAHC, l'Institut de Microélectronique, Électromagnétisme et Photonique à Grenoble INP-Minatec. Dans ce contexte industriel, la caractérisation électrique permet une meilleure compréhension de la physique des composants ainsi de dégager des pistes pour l'optimisation de leurs performances. Ce manuscrit apporte quelques éléments de réponse pour éclairer la compréhension physique des mécanismes de transport des porteurs et des capacités parasites dans les transistors MOS FD (« Fully Depleted ») SOI.

Le premier chapitre de ce manuscrit introduit de façon générale le principe de fonctionnement du transistor MOS, sa miniaturisation, les défis qui y sont liés ainsi qu'un état de l'art des options envisageables pour continuer la course à la miniaturisation et/ou l'amélioration des performances : nouvelles architectures ou encore nouveaux matériaux (pour remplacer le silicium).

Le deuxième chapitre est dédié à l'introduction du nouveau dispositif FD SOI ainsi qu'un état de l'art des méthodes de caractérisations électriques des paramètres intrinsèques du transistor. Nous verrons aussi l'impact de l'épaisseur du Box ou du type du plan de masse "Ground Plane" sur le fonctionnement du transistor. Nous énumérons aussi les avantages qu'apporte ce type de dispositifs par rapport aux effets de canaux courts.

Le troisième chapitre est consacré à l'étude des capacités parasites en se basant sur des modélisations Flex PDE ainsi que des mesures sur le FD SOI. Nous étudierons l'impact de ces phénomènes parasites sur l'extraction des paramètres électriques ainsi que les effets qu'ils peuvent induire sur les petites dimensions.

Nous avons notamment introduit une nouvelle méthode fiable pour extraire les paramètres électriques sur les transistors de type FD SOI avec plus de précision.

Le dernier chapitre de ce manuscrit portera sur l'étude expérimentale de la mobilité ainsi que ses composantes en se basant en particulier sur des mesures à basse température. Cette étude a été réalisée pour investiguer l'origine de l'augmentation de la mobilité sur les dispositifs FDSOI par rapport au Bulk et en même temps pour détecter la source de la

réduction de la mobilité avec la diminution des longueurs. La problématique du transport balistique (ou quasi-balistique) sera aussi discutée dans ce chapitre.

Références

Francis Balestra, Nanoscale CMOS: Innovative Materials, Modeling and Characterization. ISBN: 978-1-84821-180-3. Hardcover. 544 pages. June 2010, Wiley.

A. Nazarov et al. Semiconductor-on-insulator materials for nanoelectronics application Springer-Verlag Berlin Heidelberg 2011.

Chapitre I:Le transistor MOS la base de la microélectronique.

I.	Le transistor MOS	16
1)	Introduction	16
2)	Principe de fonctionnement d'un transistor MOS.....	16
3)	Capacité MOS : diagramme de bande d'énergie	17
4)	Les régimes de fonctionnement	19
II.	Etude des caractéristiques du transistor et équations de base.....	21
1)	Tension de seuil : Définition.....	21
2)	Temps de commutation.....	22
3)	Pente sous le seuil.....	22
III.	Les limitations dues à la miniaturisation.....	23
1)	Courant de fuite	23
2)	Epaisseur effective du diélectrique.....	24
3)	L'adoption du High-k.....	24
4)	Effets canaux court (Short Channel Effect SCE)	25
1.	Effet de partage de charge (Charge Sharing ou Roll-Off)	26
2.	L'abaissement de la barrière dû au drain (DIBL).....	26
3.	Effet de perçage	27
5)	Courant de fuite du drain induit par la grille (GIDL)	27
6)	Résistance d'accès	27
7)	Problèmes liés au dopage du canal.....	28
8)	Réduction du courant I_{on}	28
IV.	Solutions alternatives	29
1)	Dispositif PD SOI et FD SOI.....	29
2)	Dispositifs Multi grilles	30
a.	Doubles grilles sur silicium massif.....	30
b.	SON (Silicon on Nothing)MOS.....	31
c.	DELTA MOS	32
d.	FinFET en général.....	32
e.	Gate All Around GAA MOS.....	33

f. Four-gate (G^4 -FET).....	33
g. Tri-gate.....	33
3) Nanofils ou NW-FET	36
4) Dispositif à base de Germanium	36
5) Matériaux III-V	36
V. Conclusion	36

Chapitre II : Dispositif MOSFET FDSOI

I. Introduction	46
II. Technologie silicium sur isolant /SOI (Silicon On Insulator).....	46
1) Idée du SOI.....	46
2) Substrat SOI.....	47
3) MOSFET sur SOI.....	47
1. MOSFET PD SOI (partiellement déserté)	48
a. Effet Kink.....	48
b. Effet bipolaire parasite.....	49
c. Effet latch up.....	50
d. Effet transitoire	50
2. Transistors MOS Complètement Désertés (FD SOI).....	50
III. Paramètres électriques du MOS FD SOI	51
1) Courant de fuites à travers la grille.....	52
2) Méthode d'extraction des principaux paramètres électrique des MOS	53
1. Méthode Mc Larty	53
2. Méthode de Hamer.....	55
3. La fonction 'Y'.....	55
4. La méthode fonction Y itérative de Mourrain	59
5. Méthode de la régression polynomiale	60
3) Extraction des résistances séries	61
1. La méthode de $\theta_1(\beta)$ ou Fonction Y	64
2. Méthode $R_{tot}(1/\beta)$	66
4) La méthode Split CV	67
5) Split CV sur canaux courts.....	69

6)	Effets de canaux courts	70
7)	L'extraction du DIBL	71
8)	Extraction de la longueur effective L_{eff}	73
1.	Méthode shift et Ratio	73
2.	Technique de $\Delta L(L_{ma})$	74
9)	Tension de seuil V_{th}	75
1.	Plan de masse GP "Ground Plane" ou BP "Back Plane"	76
2.	Polarisation face arrière "Back Biasing" ou RBB/FBB (Reverse /Forward Back Biasing)	79
10)	Influence de la polarisation face arrière sur la mobilité	81
IV.	Conclusion	82

Chapitre III Etude des capacités sur les transistors FD SOI

I.	Introduction	91
II.	Mesures C(V)	91
1)	Définition	91
2)	Influence de la fuite de grille sur les mesures capacitives	91
3)	Capacités parasites	93
1.	Cas du silicium massif	93
2.	Cas des dispositifs FD SOI	96
4)	Capacité en fonction de la polarisation face arrière	97
1.	Évolution du V_{th} avec la polarisation face arrière	97
III.	Modélisation en 2D de la réponse capacitive sur les dispositifs SOI	99
1)	Mesure de la réponse capacitive dans les structure MOS FD SOI	103
2)	Simulation de la capacité	103
1.	Capacité liée à l'espaceur C_{spa}	104
2.	Capacité de bord interne C_{if}	108
3.	Capacité liée à l'oxyde enterré	109
3)	Extraction de la longueur effective L_{eff}	113
IV.	Exploitation des mesures capacitives sur le dispositif FD SOI	115
1)	Fonction de Maserjian	115
2)	Nouvelle fonction Y_m pour FD SOI	116

V. Conclusion	123
---------------------	-----

Chapitre IV : Étude du transport dans les dispositifs MOS FD SOI

I. Introduction	130
II. Étude théorique du transport.....	130
1) Modèle de Drude	130
2) Modèle de dérive-diffusion.....	131
3) Du transport quasi balistique au transport balistique.....	131
III. Les principaux mécanismes de collisions	132
1) Interactions Coulombiennes (Coulomb Scattering).....	133
2) Interaction avec les vibrations du réseau ou phonons.....	135
1. Interactions avec les phonons acoustique :.....	135
2. Diffusion à travers les phonons optiques	136
3) Interactions avec les rugosités de l'interface diélectrique-silicium.....	136
4) Diffusion par des défauts neutres ponctuels.....	138
IV. La notion de mobilité effective μ_{eff}	138
V. Caractérisation et modélisation de l'impact de la polarisation face arrière sur la mobilité effective	139
VI. Solutions d'amélioration de la mobilité.....	142
1) Silicium contraint	142
1. Tenseur de contrainte et déformation : définition.....	143
2. Effet de la contrainte sur la mobilité	144
3. sSOI et Couche d'arrêt de gravure CESL (Contact Etch Stop Layer).....	148
4. Effet indésirable dû à la contrainte.....	152
2) Orientation cristalline	152
VII. Étude basse température	155
1) Étude comparative entre substrats tourné 45° et non tourné.....	156
2) Étude comparative des mobilités entre FD SOI et Silicium massif	160
VIII. Transport en régime de saturation.....	163
1) Transport stationnaire	163
1. Vitesse de dérive V_{drift}	164
2. Vitesse de saturation V_{sat}	165

2) Le transport non-stationnaire.....	166
1. Le phénomène de survitesse ‘overshoot’	166
2. Transport balistique et quasi balistique.....	167
IX. Conclusion	170

Chapitre I: Le transistor MOS la base de la microélectronique

Chapitre I:Le transistor MOS la base de la microélectronique.

I.	Le transistor MOS	16
1)	Introduction	16
2)	Principe de fonctionnement d'un transistor MOS.....	16
3)	Capacité MOS : diagramme de bande d'énergie	17
4)	Les régimes de fonctionnement	19
II.	Etude des caractéristiques du transistor et équations de base.....	21
1)	Tension de seuil : Définition.....	21
2)	Temps de commutation.....	22
3)	Pente sous le seuil.....	22
III.	Les limitations dues à la miniaturisation.....	23
1)	Courant de fuite	23
2)	Epaisseur effective du diélectrique.....	24
3)	L'adoption du High-k.....	24
4)	Effets canaux court (Short Channel Effect SCE)	25
1.	Effet de partage de charge (Charge Sharing ou Roll-Off)	26
2.	L'abaissement de la barrière dû au drain (DIBL).....	26
3.	Effet de perçage	27
5)	Courant de fuite du drain induit par la grille (GIDL)	27
6)	Résistance d'accès	27
7)	Problèmes liés au dopage du canal.....	28
8)	Réduction du courant I_{on}	28
IV.	Solutions alternatives	29
1)	Dispositif PD SOI et FD SOI.....	29
2)	Dispositifs Multi grilles	30
a.	Doubles grilles sur silicium massif.....	30
b.	SON (Silicon on Nothing)MOS.....	31
c.	DELTA MOS	32

d.	FinFET en général.....	32
e.	Gate All Around GAA MOS.....	33
f.	Four-gate (G^4 -FET).....	33
g.	Tri-gate.....	33
3)	Nanofils ou NW-FET	36
4)	Dispositif à base de Germanium	36
5)	Matériaux III-V	36
V.	Conclusion	36

Chapitre I:Le transistor MOS la base de la microélectronique.

I. Le transistor MOS

1) Introduction

Ce chapitre a pour but d'expliquer brièvement le principe de fonctionnement d'un transistor MOSFET (Métal/Oxyde/Semi-conducteur à effet de champ) ainsi que quelques équations de bases. Il a pour but aussi d'énumérer les limitations et problèmes auxquels s'est heurtée la microélectronique dans sa course à la miniaturisation.

Finalement un état de l'art des différentes solutions proposées pour faire face à ses limitations est exposé.

2) Principe de fonctionnement d'un transistor MOS

D'une manière générale, le transistor MOS est un composant qui joue le rôle d'un interrupteur en passant ou en bloquant le courant dans le canal entre source et drain. La structure MOS (Métal/Oxyde/Semi-conducteur) est un empilement à trois couches, constitué d'une grille, d'un diélectrique et d'un semi-conducteur. Le principe de base de la technologie repose sur ce qu'on appelle l'effet de champ, qui va moduler de façon électrostatique la densité de charges mobiles traversant le semi-conducteur, comme illustré sur la figure I.1

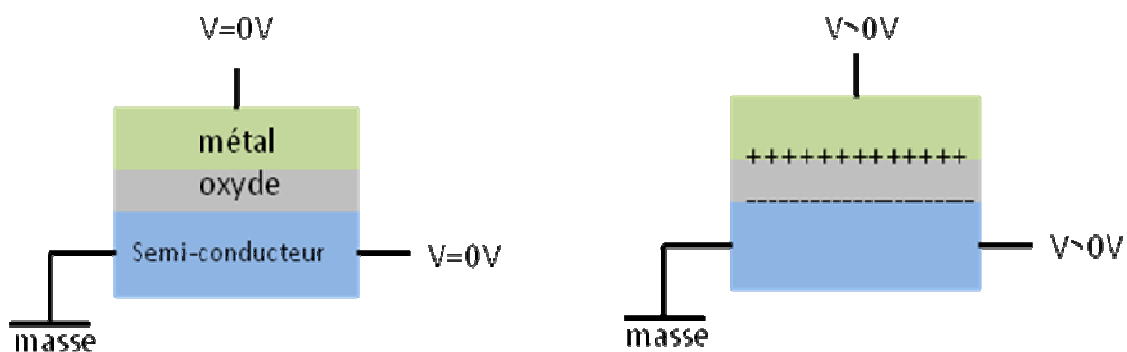


Figure I.1 L'effet du champ sur la structure MOS

La conductivité du silicium, comme tout autre semi-conducteur, va dépendre de la quantité de porteurs libres se trouvant dans la bande de conduction (électrons) ou la bande de valence (trous). Et la tension appliquée sur la grille va permettre de moduler ces quantités, en surface à proximité du diélectrique, obtenant ainsi une capacité MOS.

Pour obtenir un transistor MOS, on ajoute, de chaque côté de la grille, des zones de silicium très fortement dopées, qui font office de réservoirs de porteurs.

Le canal étant du type de dopage opposé à celui de la source et du drain (dans le cas d'un transistor à enrichissement), si aucune polarisation de grille n'est appliquée, sa résistivité est

- E_{g0} , E_g sont le gap d'énergie qui sépare la bande de valence et la bande de conduction dans l'oxyde (resp. semi-conducteur).
- $e\Phi_{sc}$ est l'énergie nécessaire pour extraire un électron d'un semi-conducteur, cette énergie est plus faible que l'affinité électrique de l'isolant, mais plus forte que le travail de sortie du métal.

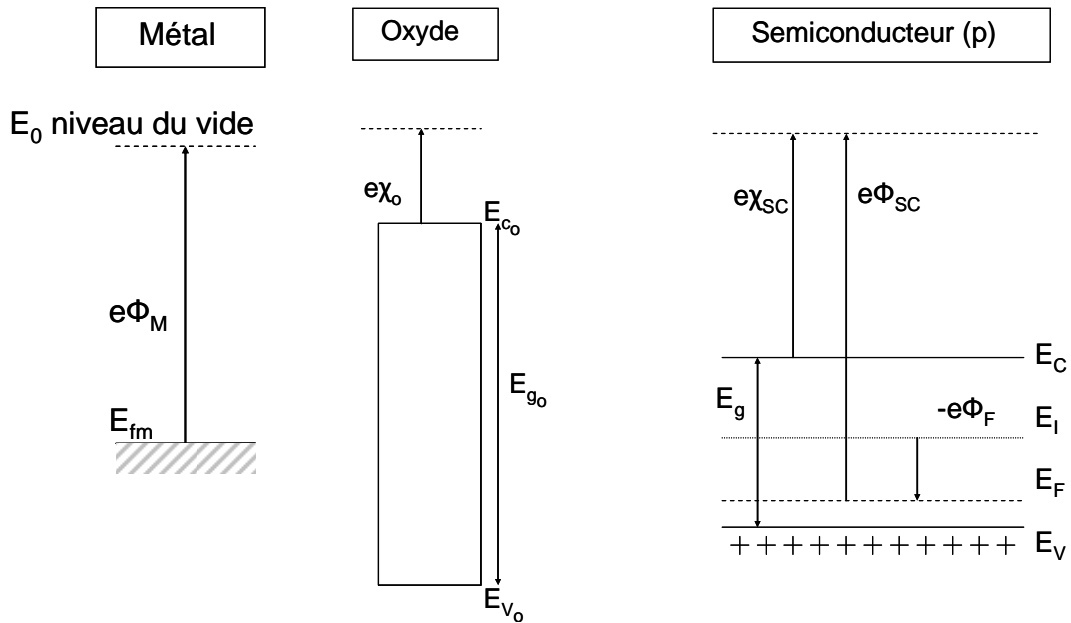


Figure I.3 Diagrammes de bandes des matériaux constituant la capacité MOS : Métal, Oxyde, Semi-conducteur

En mettant ces trois matériaux en contact, un système d'équilibre thermodynamique va s'établir, et les niveaux de Fermi du métal ainsi que du semi-conducteur vont s'aligner créant une différence de potentiel V_c caractéristique de la différence du travail de sortie entre métal et semi-conducteur. Ce potentiel va déclencher la courbure de bande entre oxyde et semi-conducteur d'une valeur Φ_s dans la zone de déplétion, et une courbure de V_{ox} dans l'oxyde comme illustré sur la figure I.4.

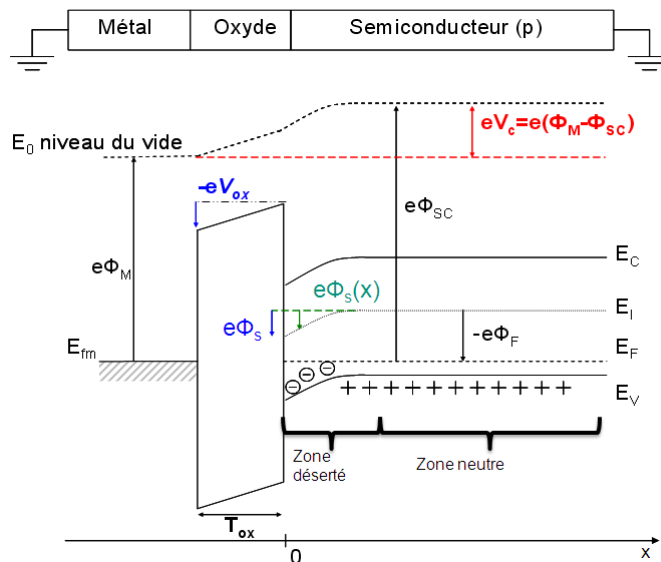


Figure I.4 Diagramme de bande d'une structure MOS en équilibre thermodynamique

4) Les régimes de fonctionnement

La courbure de bandes dans le semi-conducteur représente la variation de l'énergie potentielle $-eV$ des électrons, c'est à dire au signe près la variation du potentiel. Ce potentiel varie de $V=0$ dans la région neutre du semi-conducteur à $V=\Phi_s$ en $x=0$ à l'interface isolant-semi conducteur. On appellera, Φ_s , le potentiel de surface.

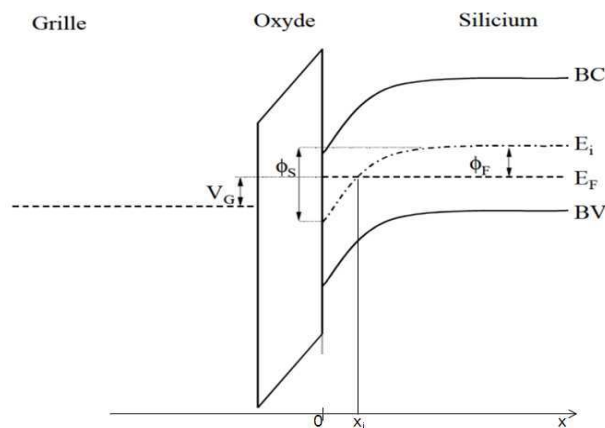


Figure I.5 Diagramme de bande en forte inversion. Définition du potentiel de surface Φ_s

Un transistor MOS dépend de deux tensions de polarisation : la tension de grille V_g qui contrôle directement le potentiel de surface et la tension de drain V_d , cette dernière va imposer le régime de fonctionnement de notre transistor. Pour des V_d faibles le transistor est en régime linéaire, pour des V_d forts on est régime de saturation.

-Régime d'accumulation

Le canal du transistor est donc enrichi en porteurs majoritaires, du même type que le dopage du canal. Pour un NMOS à canal dopé p, la quantité de trous p est donc supérieure

à la quantité de trous naturels du matériau, qui est égale au nombre de dopants accepteurs actifs N_A . Le transistor est donc bloqué. $p > N_A$ (NMOS) ou $n > N_D$ (PMOS)

Et $\Phi_S < 0$ et $V_g < \Phi_M - \Phi_{sc}$

-Régime de désertion

La surface du semi-conducteur est désertée de ses porteurs majoritaires. La quantité de trous en surface est inférieure à la quantité d'ions accepteurs ; cependant, la quantité de trous dans la bande de valence reste supérieure à la quantité d'électrons dans la bande de conduction. En résumé : $n < p < N_A$ (NMOS) ou $p < n < N_D$ (NMOS). Et $\Phi_s > 0$ et $\Phi_s < \Phi_F$

Une zone de déplétion résulte donc du déplacement des trous à travers le semi-conducteur et l'évacuation de ces derniers par le contact ohmique semi-conducteur/électrode.

-Régime d'inversion faible

Dans ce régime il y a une inversion de nature de porteurs $\Phi_s > 0$ et $\Phi_F < \Phi_s < 2\Phi_F$

Et $n > p$ (NMOS) ou $p > n$ (PMOS).

La couche d'inversion résulte quant à elle de l'accumulation d'électrons à la surface du semi-conducteur.

-Régime d'inversion forte

Quand $\Phi_s > 2\Phi_F$ la concentration de porteurs minoritaires est grande devant celle de porteurs majoritaires $n \gg p$, pour un NMOS.

$\Phi_s = 2\Phi_F$ représente la condition qui définit la limite entre inversion faible et l'inversion forte.

En inversion forte, on distingue plusieurs régimes de fonctionnement, le régime ohmique ou linéaire quand $V_d < V_g - V_{th}$, et le régime de saturation quand $V_d > V_g - V_{th}$ où le V_{th} est la tension de seuil. Ce paramètre sera explicité plus longuement au paragraphe II.1.

Dans ce qui suit nous allons discuter des deux principaux régimes de fonctionnement pour un transistor :

- *Le Régime linéaire*
- *Le Régime de saturation*

Si $V_d \ll V_{ds} = V_g - V_{th}$ la tension de drain est faible, le courant de drain varie proportionnellement à la tension drain-source, le transistor fonctionne en régime linéaire.

Si $V_d < V_{ds}$ la tension drain-source augmente, la variation de la tension de polarisation de la capacité MOS le long du canal devient importante, la densité d'électrons dans la couche d'inversion diminue, la conductance du canal diminue. Le courant de drain présente alors une variation sous-linéaire avec la tension de drain-source et amorce la saturation. Pour une valeur de $V_d = V_{ds}$, la capacité MOS n'est plus en inversion côté drain, la conductivité du canal est fortement réduite au voisinage du drain, c'est le régime de pincement, la tension drain-source correspondante est appelée tension de saturation. $V_d > V_{ds}$ quand la tension source

drain augmente au-delà de la tension de saturation, la région voisine du drain n'est plus en inversion, le point de pincement, dont le potentiel reste constant, se déplace vers la source.

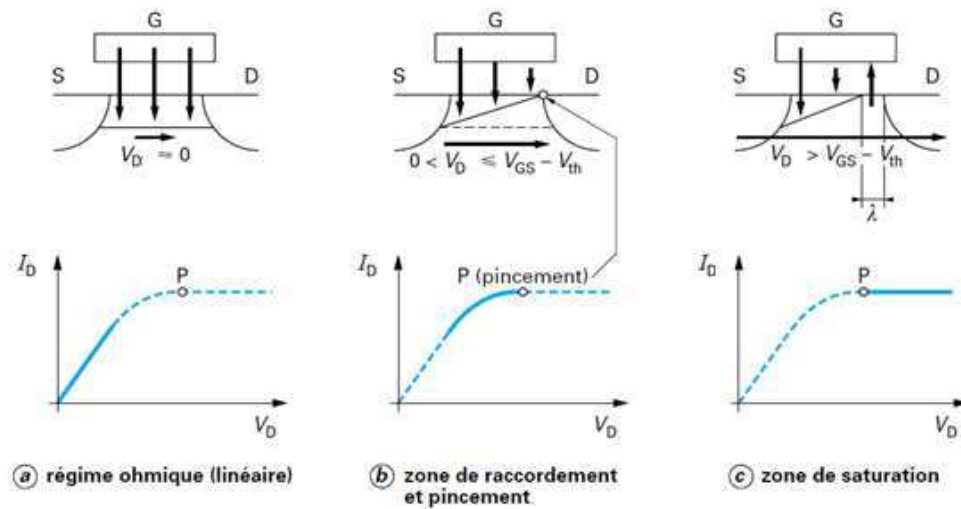


Figure 1.6 Les 3 régimes de modulation de la résistivité du canal par polarisation du drain à trois régimes [Skot01]

Le tableau suivant résume les équations de courant qui caractérisent chaque régime de fonctionnement.

Régime linéaire	Zone de raccordement	Régime de saturation
$I_d = \mu_n C_{ox} \frac{W}{L} (V_g - V_{th}) V_d$	$I_d = \mu_n C_{ox} \frac{W}{L} \left[(V_g - V_{th}) V_d - \frac{V_d^2}{2} \right]$	$I_d = I_{Dsat} \frac{L}{L - \lambda V_d}$

II. Etude des caractéristiques du transistor et équations de base

Dans ce paragraphe, nous allons définir quelques paramètres caractéristiques du MOSFET.

1) Tension de seuil : Définition

On définit la tension de seuil V_{th} de la structure comme la tension de grille pour laquelle la densité de charges d'inversion devient égale à la densité de charge de déplétion, le potentiel de surface correspondant est alors $\Phi_s = 2\Phi_F$. Dans ce cas les charges d'inversion sont des porteurs libres et la tension V_{th} correspond à l'apparition d'une couche conductrice dans le semi-conducteur au voisinage de l'interface. Ce paramètre est fondamental, car il va gouverner la mise en conduction du transistor.

Dans le cas d'un NMOS lorsque la tension de grille V_g est suffisamment négative cette polarisation conduit à un appel de trous en surface, on est alors en régime d'accumulation et le transistor est bloqué. En augmentant progressivement la tension V_g , les trous vont faire place aux électrons créant une zone de déplétion (charge surfacique d'atomes accepteurs ionisés) avec une densité surfacique $Q_{dép}$.

La tension qui a initié l'inversion de porteurs dans le canal est la tension de seuil.

$$V_{th} = V_{fb} + 2\phi_F + \frac{Q_{dep}}{C_{ox}} \quad (1.1)$$

Où V_{fb} est la tension de bande plate et

$$Q_{dep} = \sqrt{4\epsilon_{si} q N_D \phi_F} \quad (1.2)$$

2) Temps de commutation

Plusieurs paramètres caractérisent les transistors MOS. Le temps de commutation intrinsèque est défini par la relation

$$\tau = \frac{C_{ox} V_{DD}}{I_{ON}} \quad (1.3)$$

Il désigne le temps nécessaire à un transistor pour passer de l'état bloqué à un état passant avec

$$C_{ox} = C_{ox1} W L \quad (1.4)$$

où C_{ox1} est la capacité de la grille et V_{DD} est la tension d'alimentation définie précédemment. Il est évident qu'il faut réduire au maximum ce temps de commutation et nous pouvons noter que la diminution de τ passe notamment par une augmentation du courant I_{ON} (I_d) débité par le transistor, ainsi qu'une optimisation du C_{ox} .

3) Pente sous le seuil

La pente sous le seuil est un paramètre caractéristique du régime d'inversion faible. Elle est définie comme :

$$S = \frac{\partial V_g}{\partial \log I_d} = \frac{KT}{q} \ln(10) \left(1 - \frac{1}{C_{ox}} \frac{\partial Q_d}{\partial \phi_s}\right) \quad (1.5)$$

Elle s'exprime en Volts/décade et correspond à la variation de la barrière de potentiel à l'entrée du canal en fonction de la tension de grille ou comme étant la variation de la polarisation de grille nécessaire pour une variation d'une décade du courant de drain. Il s'agit d'un paramètre capital pour l'optimisation du rapport entre courant de fuite et courant de saturation, car à tension de seuil égale, une diminution de la valeur de la pente sous le seuil permet une diminution du courant I_{off} sans dégradation du courant de saturation [Gwoz 02].

La limite théorique de la pente sous le seuil est fixée par le phénomène de diffusion et vaut $\ln(10) \cdot kT/q = 60$ mV/décade à 300 K.

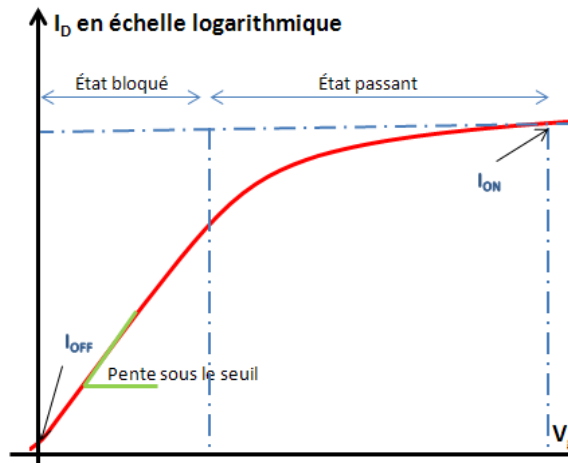


Figure I.7 Allure typique de la courbe courant de drain vs tension de grille d'un transistor MOS

III. Les limitations dues à la miniaturisation

Avec la réduction des dimensions des dispositifs, plusieurs effets non problématiques jusque là, deviennent critiques.

1) Courant de fuite

La tension de seuil et la vitesse de commutation ne sont pas les seuls paramètres à optimiser pour un circuit CMOS, il faut également limiter sa consommation électrique. Il s'agira donc de limiter les courants de fuites tant en régime statique qu'en régime dynamique.

Il faut garder à l'esprit que le transistor n'est pas un interrupteur parfait, cela est dû à la résistance totale du transistor entre source et drain en mode bloqué, qui n'est pas infini, et aussi à la résistance de sortie, en mode "on", qui n'est pas nulle. Un des leviers technologiques possibles est la tension de seuil, comme on peut le voir dans les deux équations, (I.6) & (I.8). Ces équations correspondent à l'expression du courant de drain théorique en faible inversion (sous le seuil) donc, dominées par un courant de diffusion.

$$I_d = I_0 \exp\left(\frac{V_g - V_{th}}{S} \ln 10\right) (1 - \exp(-\frac{qV_D}{k_B T})) \quad (I.6)$$

$$I_0 = \mu_0 C_{dép} \frac{W_{eff}}{L_{eff}} \left(\frac{k_B T}{q}\right)^2 \quad (I.7)$$

Où μ_0 est la mobilité à faible champ et $C_{dép}$ est la capacité relative à la charge de déplétion.

Et en deuxième lieu à l'expression du courant en forte inversion.

$$I_{dsat} = \frac{W_{eff}}{2L_{eff}} C_{ox} \mu_{eff} (V_g - V_{th})^2 \quad (I.8)$$

Où L, W, sont les longueur et largeur effective du canal et μ_{eff} est la mobilité effective.

On constate bien, d'après ces équations, l'impact de la valeur de la tension de seuil V_{th} sur les courants en mode passant et en mode bloqué. Une tension de seuil haute privilégie une réduction des courants de fuite et limite la puissance P_s due à la consommation statique des circuits. Avec

$$P_s = V_{dd} I_{off} \quad (1.9)$$

Et une tension de seuil basse privilégie une réduction du temps de commutation. Il faut trouver le juste compromis !

2) Epaisseur effective du diélectrique

L'électrode de grille est constituée par une couche de silicium poly-cristallin dopé, de type inverse à celui du dopage du canal ou par une couche métallique. L'inversion de charge dans le silicium est équilibrée par une inversion opposée dans l'électrode de grille en polysilicium. Cette couche forme une zone de déplétion due par exemple dans le cas d'un NMOS aux charges positives. On peut comparer ce phénomène à un éloignement des électrodes de la capacité de grille.

Cette couche de déplétion va affaiblir l'action de la grille sur les charges d'inversion dans le canal. Elle réduit le système capacitif grille/diélectrique/silicium et le niveau de courant pour une polarisation donnée. Ce phénomène explique aussi l'augmentation de l'épaisseur du diélectrique équivalent. Avec $e_{dép}$ la zone de déplétion du poly.

$$T_{dép, poly} = e_{dép} \frac{\epsilon_{ox}}{\epsilon_{si}} \quad (1.10)$$

L'impact de ce phénomène devient important pour les oxydes très minces d'aujourd'hui. La réduction des dimensions au dessous de 2 nm d'épaisseur d'oxyde, induit un passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille, d'autant plus important que l'épaisseur de l'oxyde est fine. Une solution pour supprimer la poly-déplétion de grille et les fuites tunnel est l'utilisation des high-K avec une grille métallique. Une des conséquences supplémentaires de la miniaturisation est l'effet du confinement quantique sur le canal ce qui rajoute environ 0.2~0.4 nm d'épaisseur réelle du diélectrique dans le cas des électrons.

3) L'adoption du High-k

Pour essayer de réduire les effets décrits précédemment, de nouveaux oxydes avec haute permittivité diélectrique sont donc proposés (Cf. Figure 1.8) pour remplacer l'oxyde de silicium SiO_2 . Ces nouveaux matériaux permettent la fabrication d'oxydes de grille épais tout en gardant les caractéristiques capacitives de l'oxyde de silicium. Par contre, ces diélectriques doivent être compatibles avec le matériau de grille. L'approche la plus simple est d'utiliser un matériau métallique "Mid-gap", dont le travail de sortie place son niveau de Fermi exactement au milieu du gap du silicium, tel que le TiN (nitrure de titane). Des

exemples de matériaux de grille avec leurs travaux de sortie associés sont présentés figure I.9

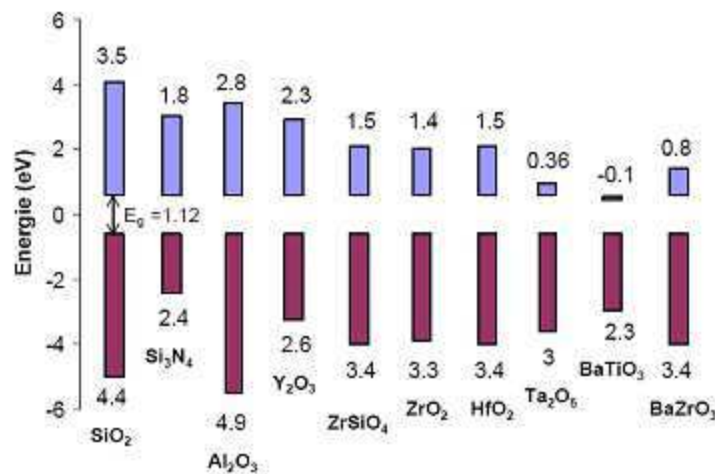


Figure I.8 Décalage par rapport au silicium des bandes de conduction et de valence pour différents diélectriques High-k [Robe00]

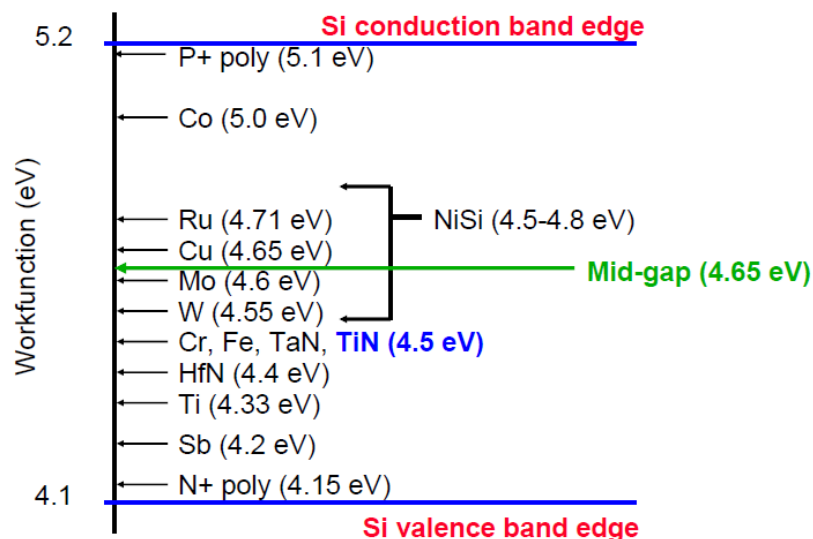


Figure I.9 Position des matériaux Mid-gap [Soic12]

Toutefois, plusieurs études ont montré une dégradation de la mobilité des porteurs dans le canal sous l'effet de l'interaction du diélectrique à base de High-k avec le substrat. [Pham08]

4) Effets canaux court (Short Channel Effect SCE)

Ce phénomène, comme son nom l'indique, est une conséquence directe de la réduction de la longueur du canal. Dans lequel le potentiel de surface n'est plus totalement uniforme tout au long du canal réduisant ainsi le contrôle de la grille. Dans la figure I.10 est représenté l'effet des deux principales causes de cet effet parasite sur le courant débité par le drain en fonction de V_g , qui sont le partage de charge "Charge Sharing" "CS" et le DIBL pour "Drain Induced Barrier Lowering".

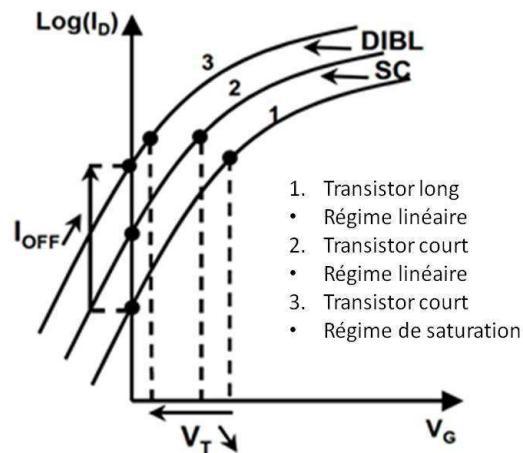


Figure I.10 Impact de CS et DIBL sur les caractéristiques $\text{Log}(I_d)$ de V_g du transistor

1. Effet de partage de charge (Charge Sharing ou Roll-Off)

Avec la réduction des dimensions, des effets parasites négligeables au départ, deviennent problématiques pour des longueurs de grilles en dessous de 50 nm.

Comme son nom l'indique, "le phénomène de partage de charges" ou "Charge Sharing" est un effet parasite lié aux partages de charges contrôlé par la grille d'un côté et par les source-drain de l'autre. Ce phénomène apparaît avec la réduction des longueurs de grilles.

Le contrôle électrostatique de la grille sur le canal n'est alors plus efficace et la barrière de potentiel entre source et drain s'abaisse (figure I.11). Ceci se traduit par une dégradation des paramètres caractéristiques du MOSFET et par la chute de la tension de seuil.

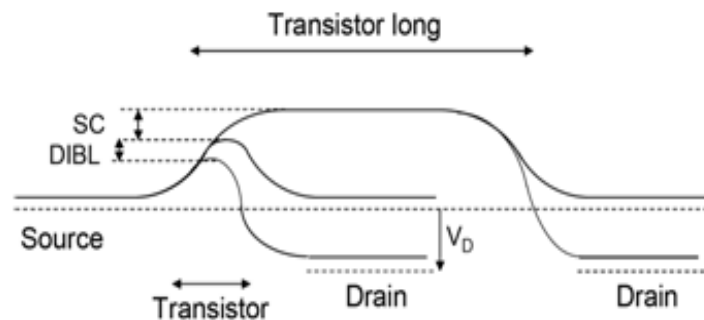


Figure I.11 Évolution de la barrière de potentiel avec la réduction d'échelle

2. L'abaissement de la barrière dû au drain (DIBL)

Le DIBL correspond à un abaissement supplémentaire de la barrière de potentiel entre source et drain sous l'effet d'une application d'un fort potentiel V_d sur le drain (Figure I.11).

En effet, la charge dans la zone de déplétion est équilibrée sur les trois électrodes source, drain et grille. Quand V_d augmente, la zone de déplétion entre drain et substrat augmente au dépend de celle au dessous de la grille. Par conséquent, la grille va essayer de conserver

cet équilibre de charges en attirant plus de porteurs dans le canal, ce qui affecte directement la tension de seuil. Ce phénomène parasite est aussi, à la source de l'augmentation du courant du drain avec V_d

3. Effet de perçage

Ce phénomène apparait lui aussi pour des fortes valeurs de V_d . Il est principalement dû au rapprochement de la source et drain (Figure I.12). Les zones de charges d'espace ZCE correspondant au drain-substrat et source-substrat se rapprochent inexorablement avec la diminution de la longueur de grille. Ces zones de charges d'espace permettent de réduire les courants de fuites vers le substrat. Les porteurs majoritaires et minoritaires voient une barrière de potentiel qui les empêche de diffuser vers le substrat. Mais avec l'augmentation de V_d , la ZCE du côté du drain s'étend vers la source.

Cet effet parasite contribue à la réduction de la barrière de potentiel du côté de la source et à l'augmentation du phénomène de diffusion des porteurs majoritaires vers le substrat du côté de la source.

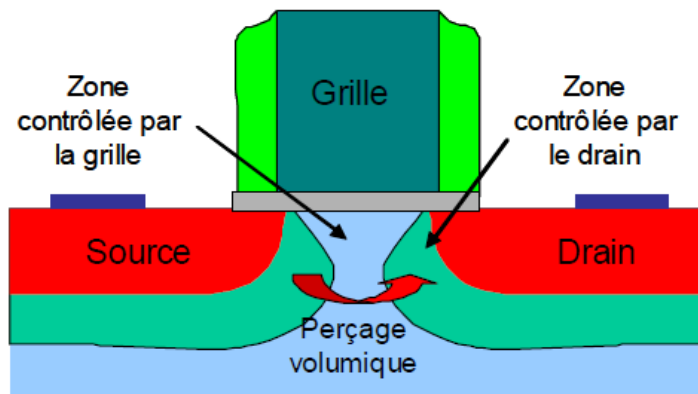


Figure I.12 Illustration du phénomène de perçage volumique [A.Cros06]

5) Courant de fuite du drain induit par la grille (GIDL)

C'est un courant parasite, dû essentiellement au champ électrique transverse entre grille et drain et l'effet tunnel de bande à bande (Band-to-Band Tunneling BTBT). Il est amplifié pour les valeurs négatives de V_g . Il apparait dans les zones de recouvrement entre la grille et le drain fortement polarisées et où il règne un très fort champ électrique local [Hurk89]. Cet effet contribue à l'augmentation du courant I_{off} . L'équation (I.11) donne son expression analytique.

$$J_{BTBT} = C.q \left\| \vec{E} \right\|^\sigma e^{-\frac{\beta}{\left\| \vec{E} \right\| V_j}} \quad (I.11)$$

Avec C et β deux constantes liées au matériau et $\left\| \vec{E} \right\|$ la valeur du champ électrique local et V_j la tension aux bornes de la jonction.

6) Résistance d'accès

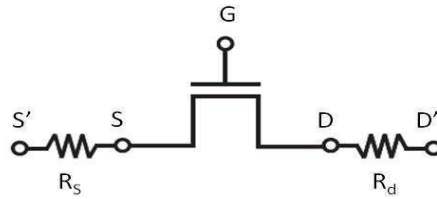


Figure I.13 Schéma électrique simplifié des résistances d'accès R_{sd} (R_s résistance source ; R_d résistance drain)

Ce sont les résistances d'accès de la source-drain au canal. Elles induisent l'abaissement du potentiel des électrodes et réduisent les polarisations effectives appliquées sur le canal (le courant de drain diminue), tel que

$$V_{ds} = V'_{ds} - (R_s + R_d)I_d \quad (I.12)$$

Pour les grandes longueurs de grille ce paramètre n'est pas problématique, mais avec la réduction d'échelle les R_{sd} peuvent dépasser la résistance du canal introduisant une erreur non négligeable dans l'extraction des paramètres intrinsèques du MOSFET.

Les R_{sd} sont sensiblement affectées par la concentration des dopants dans le canal, la résistance du contact siliciure/zones source et drain ainsi que la variation de la profondeur des jonctions et la forme des source/drain elle-même (voir Chapitre II§),

7) Problèmes liés au dopage du canal

Le dopage du canal est une très bonne solution pour pallier les Effets de canaux courts. Mais avec la réduction d'échelle, cette opération semble compromise.

Réaliser des profils de dopage extrêmement complexes (dopage rétrograde, halos, poches, LDD) est de plus en plus difficile notamment pour le contrôle de la variabilité. Notons aussi la dégradation de la mobilité des porteurs avec l'augmentation du dopage.

8) Réduction du courant I_{on}

La simulation suivante réalisée avec le logiciel de simulation Mastar [Mastar] (Figure I.14) illustre la diminution du courant I_{on} avec la diminution de la longueur de grille. La mobilité des porteurs décroît contrairement à ce dont on pouvait s'attendre et cela, pour plusieurs raisons qu'on détaillera dans le chapitre IV

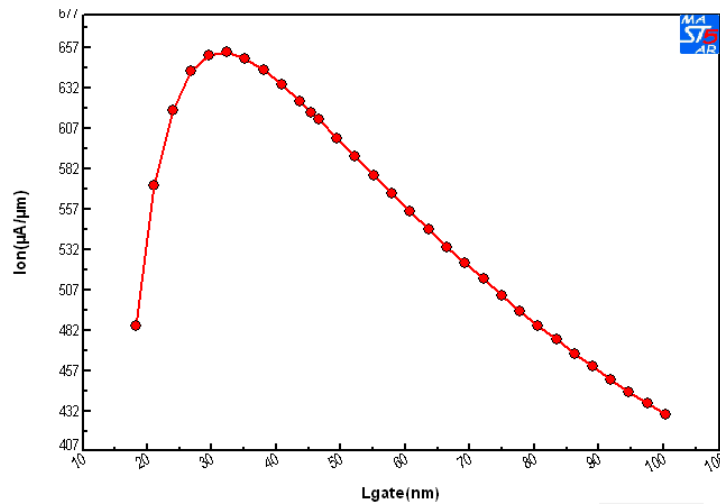


Figure I.14 Courbe de simulation par MASTAR [Mastar] du courant I_{on} vs la longueur de grille pour un CMOS Bulk

IV. Solutions alternatives

Comme explicité précédemment, plusieurs facteurs contribuent à la réduction des performances électriques des transistors. Cependant, atteindre les objectifs que prévoit l'ITRS [ITRS08] après 2020 présente un grand défi qui ne peut pas être surmonté si on reste sur la technologie MOS silicium conventionnel. Il est donc, très important de considérer des solutions alternatives.

Il existe des solutions pour repousser ces limites dont l'une d'elles est l'augmentation du contrôle électrostatique du canal par la grille. Le renforcement de ce couplage peut être réalisé en augmentant le nombre de grilles ou en réduisant l'épaisseur du film de silicium. Ceci permet une meilleure gouvernance du canal ainsi qu'une diminution des Effets canaux courts.

Dans cette partie, nous allons présenter quelques dispositifs susceptibles de remplacer le MOSFET conventionnel. Certes le nom de ces structures change mais leurs principes de fonctionnement reste à peu près le même.

1) Dispositif PD SOI et FD SOI

Depuis plusieurs années, les grandes industries microélectroniques commencent à utiliser la technologie SOI pour fabriquer leurs produits. Cette technologie nous permet d'avoir de meilleures performances électriques en réduisant les Effets canaux courts. On distingue deux types de transistors sur SOI. Le PD pour partiellement déserté et FD pour complètement déserté. La différence entre les deux est liée à l'épaisseur du film de silicium. Ces dispositifs permettent de réduire les capacités parasites ce qui améliore les performances en hautes fréquences par rapport au silicium massif [Munt99]. Ils permettent aussi de supprimer les effets de Latch-up, et réduisent considérablement les courants de fuites.

Les caractéristiques de ces dispositifs seront abordées avec plus de détails dans le chapitre II et tout particulièrement pour les dispositifs complètement désertés.

2) Dispositifs Multi grilles

Dans la littérature, on distingue deux familles de transistors à doubles grilles, la première sont les dispositifs réalisés sur du substrat de silicium massif et la deuxième sur du SOI.

a. Doubles grilles sur silicium massif

Schématiquement, la figure I.15 montre une structure simplifiée du MOSFET à doubles grille planaire, dans lequel le transport des porteurs se fait parallèlement au plan du substrat et le champ électrique entre les deux armatures des grilles est perpendiculaire.

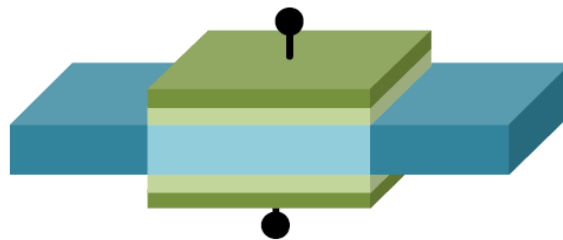


Figure I.15 Schéma simplifié d'un transistor double grille planaire

Les deux grilles vont pouvoir contrôler le potentiel dans le canal d'une manière plus efficace comparée aux simples grilles et la distribution de potentiel sera relativement plate. Toutefois, l'agencement des grilles par rapport au canal constitue la différence entre ces MOSFET. On parle alors, du double grilles quasi-planaire dans lequel le champ et le transport des porteurs se font parallèlement au substrat. Et du double grilles non-planaire où le champ et transport dépendent de l'agencement des grilles.

La réalisation des dispositifs à double grilles reste complexe. Ceci est dû aux problèmes d'alignement de la grille face avant et face arrière comme illustrée sur la figure I.16. Cet effet a pour conséquence, une forte dispersion des Effets de canaux courts entre les différents dispositifs [Daug04]. En outre, la connexion de la grille face arrière pose d'énormes freins au développement de cette technologie à l'échelle industrielle.

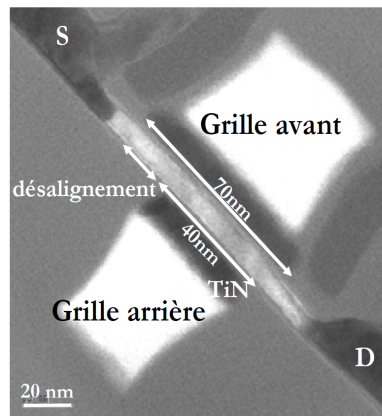


Figure I.16 Coupe TEM d'un transistor double grilles de 50 nm de longueur de grille avec un film de 10 nm d'épaisseur [Vinet05]

Les dispositifs à double grilles non planaire, quant à eux, s'affranchissent des problèmes liés à l'auto-alignement des grilles et présentent une très bonne pente sous le seuil, avec une très bonne transconductance ainsi qu'une forte mobilité des porteurs. Les performances de ces transistors MOS multi-grilles sont toutes favorisées par le phénomène d'inversion volumique [Bale87],[Widi01].

Il existe aussi un grand nombre de dispositifs à double grilles réalisé, sur un substrat SOI. Dans ce qui suit nous allons définir brièvement les principaux et nous allons pointer dans quelques cas, les avantages et les inconvénients liés à leurs structures.

b. SON (Silicon on Nothing)MOS

Le SON a été introduit par Jurczak M en 1999 [Jurc99]. Ce dispositif se base sur la réalisation du transistor avec une couche de SiGe ultra mince localisée sous la grille et les espaceurs. Cette couche sera gravée sélectivement par rapport au silicium pour laisser place à un espace vide sous le canal de conduction (Figure I.17). Ce vide sera rempli par un diélectrique pour faire un transistor à simple ou double grilles [Monf01]. Le principal avantage de cette méthode est la maîtrise des épaisseurs du canal de conduction et de l'oxyde enterré qui sont définies lors d'une étape d'épitaxie [Skot99].

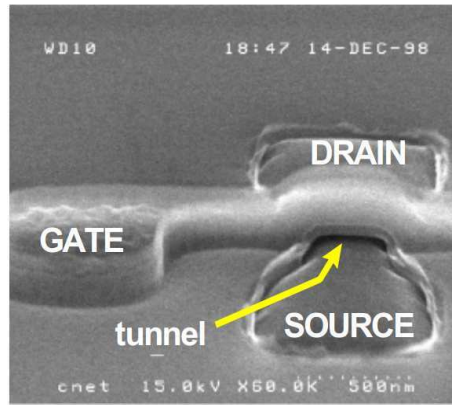


Figure I.17 Image SEM (Microscope électronique) de la structure du dispositif SON après gravure tunnel [Jurc99]

c. DELTA MOS

Le transistor DELTA (fully DEpleted Lean-channel TrAnsistor) MOS est représenté Figure I.18. Ce dispositif s'affranchit des contraintes liées à l'auto-alignement des grilles décrit dans le paragraphe IV-1 tout en gardant un fort couplage électrostatique. [Seki84]

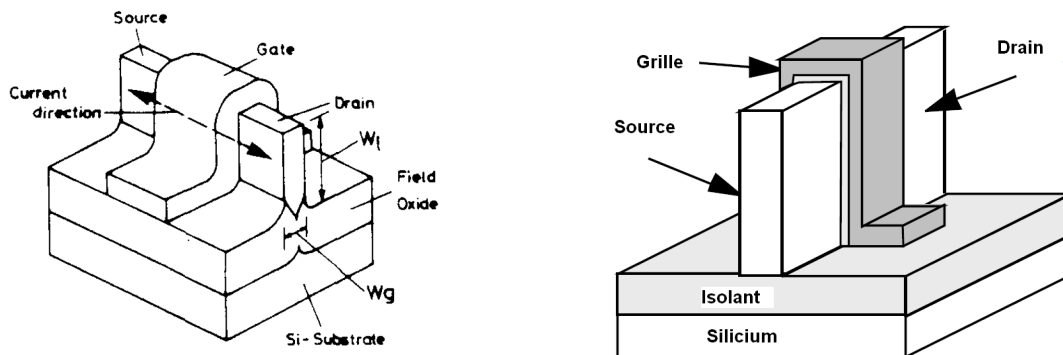


Figure I.18 (a) Schéma du transistor DELTA MOS sur silicium massif [Hisa90] (b) Schéma simplifié de la structure DELTA MOS sur SOI.

Le transistor FinFET reste très similaire au DELTA MOS. Dans le paragraphe suivant, nous allons essayer d'expliquer les spécificités de ces quelques structures connues aussi sous le nom de multi-grilles.

d. FinFET en général

Le FinFet est le dispositif futur proposé par Intel pour les nœuds 22 nm et en deçà. Plusieurs structures ont été proposées comme le Pi-gate MOSFET [Jong01], OmegaFet (Ω Fet). Toutes ces approches ont en commun un canal de silicium mince ou « Fin » entouré de grilles. Cette configuration permet un contrôle accru du canal comparé aux double grilles ainsi qu'une réduction des Effets de canaux courts [Huan01].

e. Gate All Around GAA MOS

C'est un transistor à grille enrobante GAA pour Gate All Around. Ce dispositif a été introduit par Jean Pierre Colinge en 1990 [Coli90] (voir. Figure I.19). Le dispositif est constitué d'un canal entouré par la grille de quatre cotées.

Le couplage électrostatique entre les grilles adjacentes va créer des conditions favorables pour que les porteurs minoritaires se concentrent dans les coins du GAA [Foss03]. En revanche, cette structure est vulnérable aux effets de coins, puisque ces régions auront une faible tension de seuil et vont s'activer plus rapidement que le canal ce qui a pour conséquence la dégradation de la pente sous le seuil et l'augmentation des courants de fuites. L'arrondissement de ces coins peut supprimer l'activation des canaux parasites. Mais, pour l'instant, contrôler leurs rayons reste difficile technologiquement.

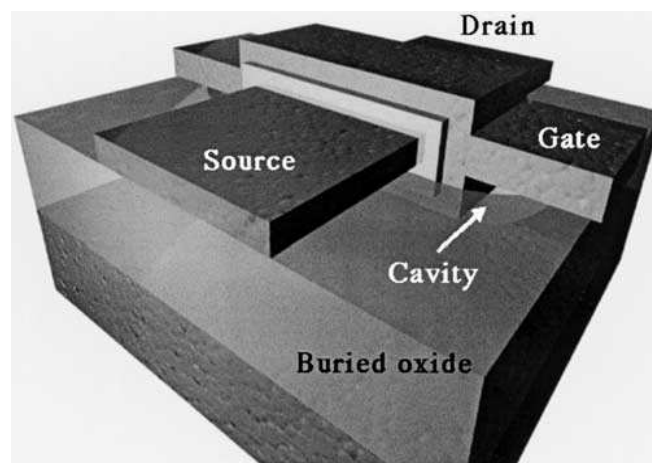


Figure I.19 GAA SOI MOSFET [Coli04]

f. Four-gate (G^4 -FET)

Comme le GAA MOSFET, le G^4 -FET est un transistor à 4 grilles qui opère en accumulation et en déplétion. Il a quatre grilles indépendantes qu'on peut polariser indépendamment. Ce dispositif combine les effets du MOS et du JFET (junction FET).

Ce dispositif débite un fort courant et possède une forte transconductance et une excellente pente sous le seuil. Chaque grille permet de basculer le transistor d'un état on à l'état off.

D'autres dispositifs s'inspirant de celui-ci ont aussi vu le jour, comme le triangular-wire SOI MOSFET [Hira01] et le Δ -channel SOI MOSFET [Jiao01].

g. Tri-gate

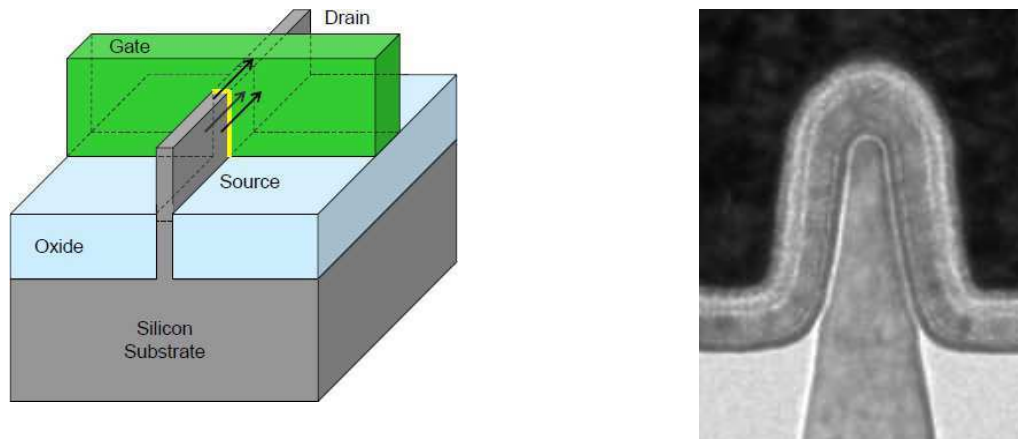


Figure I.20 a) Schéma de la structure simplifiée du FinFET b) Image TEM du FinFET 22 nm de Intel [Auth12]

La figure I.20 montre la structure basique du transistor FinFET 22 nm de Intel ou 3D Tri-gates. Les électrodes de grilles contrôlent les trois côtés, la conduction des porteurs dans un canal complètement déserté et inversé. L'augmentation du contrôle électrostatique améliore fortement la pente sous le seuil tout en réduisant les courants de fuites en comparaison avec le MOS simple grille sur silicium massif (Figure I.21).

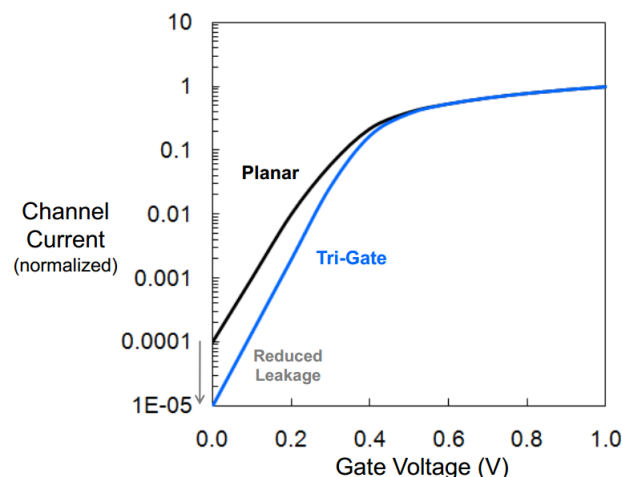


Figure I.21 Comparaison entre une simple grille planaire et un Tri-Gate

Cette technologie est actuellement en production. Elle remplace la technologie silicium massif planaire. Ces dispositifs constituent pour le moment, un tournant majeur dans le monde de la microélectronique industrielle en rompant avec le MOS planaire et en se lançant sur les structures MOS 3D Figure I.22. Intel, avec ce produit, propose 37% d'augmentation en termes de performances pour les faibles tensions comparées au transistor MOS 32 nm planaire. Ces dispositifs peuvent être fabriqués sur un substrat SOI comme sur du silicium massif.

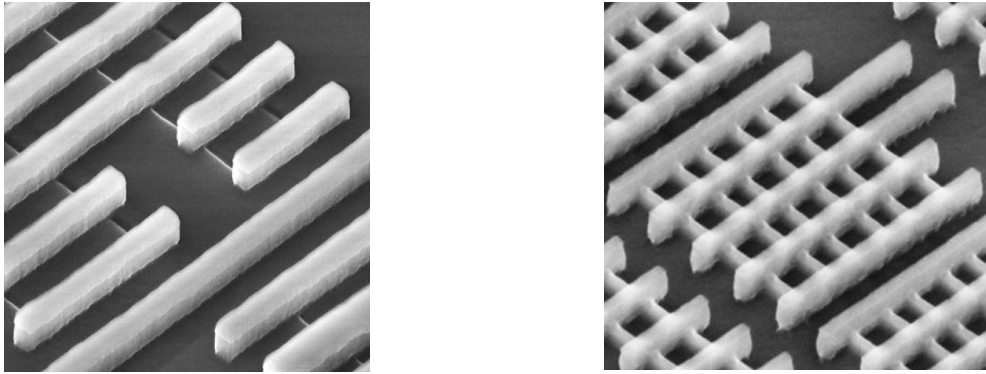


Figure I.22 (a) Image TEM des transistors 32 nm planaire de Intel (b) Image TEM du transistor 3D Tri-gate 22 nm de Intel [Inte12]

Intel a préféré développer ses dispositifs sur du silicium massif pour plusieurs raisons. Le FinFET sur SOI présente des contraintes en termes économique (Le prix du wafer, en lui-même, reste plus cher) et stratégique (Indépendance industrielle vis-à-vis de SOITEC, au regard de la quantité de production de Intel). Mais aussi, pour des raisons liées au substrat, car dans le cas du SOI, des problèmes liés à l'auto-échauffement et le transfert thermique restent à résoudre. D'un autre côté, le FinFET sur silicium massif montre une certaine immunité vis-à-vis du stress [Lee05]. De plus la Figure I.23 montre les performances électriques équivalentes entre finfet bulk et SOI [Parv09]. Tous ces arguments sont en faveur du FinFET sur silicium massif. Il faudra cependant reconsidérer cela pour des transistors plus avancés de fin de roadmap.

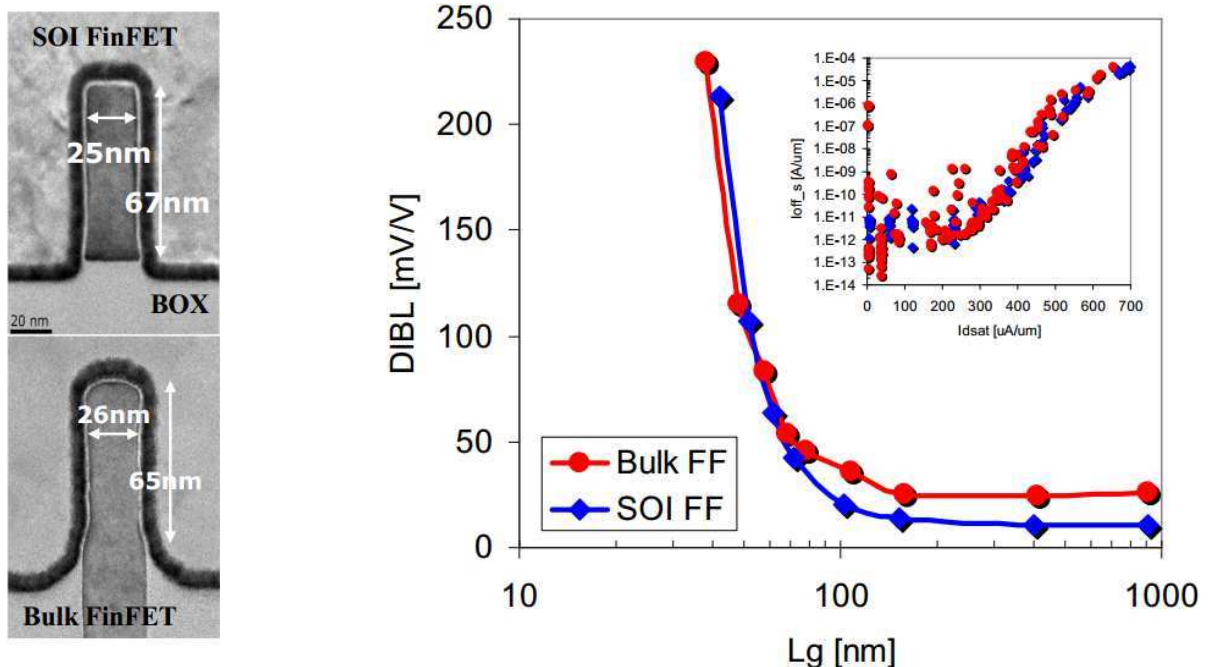


Figure I.23 Comparaison en termes d'Ion et DIBL entre FinFET sur SOI et sur Bulk de l'IMEC [Parv09]

3) Nanofils ou NW-FET

Les transistors à nanofil de silicium présentent deux avantages par rapport aux transistors planaires. Ils ont la particularité d'avoir un rapport surface/volume plus élevé. Le dispositif à base de nanofil est meilleur en termes de contrôle électrostatique du canal puisqu'on n'a pas les effets bord liée à la géométrie de la grille qui réduirait son efficacité (Cf. Figure I.24). Ces dispositifs sont utilisés dans différents domaines de la recherche en microélectronique. Ils permettent de réaliser des dispositifs à très faible consommation avec une grande maîtrise des courants de fuites.

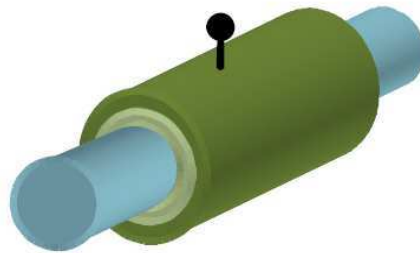


Figure I.24 Dispositif MOS à base de Nanofil

Toutefois, cette technologie reste limitée par l'implémentation de ces nanofils à l'échelle industrielle qui réside surtout dans la difficulté d'ordonnancer de manière cohérente un grand nombre de nanofils afin de réaliser des fonctions logiques.

4) Dispositif à base de Germanium

Le germanium possède de forts avantages notamment grâce à la forte mobilité intrinsèque de ses porteurs et surtout celles des trous. Ce matériau permet de développer des transistors avec une forte mobilité et un très bon fonctionnement à hautes fréquences. Ce matériau est limité par son oxyde natif GeO_2 qui reste de très mauvaise qualité ce qui a freiné son développement. Cependant l'avancée des matériaux high-k a permis de résoudre ce problème et le propulse au rang d'un candidat sérieux.

5) Matériaux III-V

Ces matériaux sont intéressants en raison de la faible masse effective des électrons de la vallée Γ (vallée de plus basse énergie). Les matériaux III-V tels que le GaAs, l'InSb et l'InAs présentent une excellente mobilité qui en fait des candidats prometteurs pour les prochaines générations de transistors.

Il reste cependant de nombreux problèmes technologiques à résoudre et à surmonter pour obtenir de meilleures performances pour les dispositifs sub 10 nm.

V. Conclusion

Dans ce chapitre nous avons présenté un petit résumé des différentes équations de base qui régissent le fonctionnement du transistor MOSFET ainsi que l'état de l'art des principales technologies à base de SOI, de silicium massif et de matériaux alternatifs et leurs contributions dans la réduction d'échelle.

De ce constat, les dispositifs sur SOI et les multi grilles apparaissent comme étant des contributeurs majeurs dans l'extension des limites de la réduction d'échelle vers des dimensions décananométriques.

Références

- [Auth12] Auth, C et al "A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors" VLSI Technology (VLSIT), Symposium on 2012, Page(s):131 – 132, (2012)
- [Bale87] Francis Balestra et al "Double-grille Silicion-on-Insulator transistor with volume inversion: A New Greatly Enhanced Performance" IEEE EDL n°8 page-410 (1987).
- [Coli90] J-P Colinge, Gao M.H, Romano A, Maes H, Claeys C. "Silicon-on- insulator 'gate-all-around' MOS device" Technical Digest of IEDM. p. 595, (1990)
- [Coli04] J-P Colinge "Multiple-gate SOI MOSFETs" Solid State Electronics Volume: 49, Issue: 12, (2004)
- [A.Cros06] Manuscrit de Antoine Cros "Caractérisation électrique des transistors MOS à grille enrobante pour les technologies CMOS sub-45nm" (2006)
- [Daug04] F Dauge.et al "Experimental gate misalignment analysis on double gate SOI MOSFETs" SOI Conf (2004).
- [Foss03] J.G.Fossum, J.W Yang and V.P Trivedi "Suppression of corner effects in triple-gate MOSFETs" IEEE Electron Device Letters Volume: 24, Issue: 12 Page(s): 745- 747, (2003)
- [Gwoz 02] R.Gwoziecki, T.Skotniki "Physics of subthreshold slope-intial improvment and final degradation short CMOS devices" ESSDERC (2002)
- [Intel12] <http://www.intel.com>
- [ITRS08] The International technology roadmap for semiconductor 2008 update ,ITRS handbook disponible :<http://public.itrs.net>
- [Jiao01] Z. Jiao and A.T. Salama "A Fully Depleted Delta Channel SOI NMOSFET" Electro Chem. Society Proceedings 2001, pages 403 (2001)
- [Jong01] Jong-Tae Park, Jean-Pierre Colinge, Carlos H. Diaz "Pi-Gate SOI MOSFET" IEEE Electron Device Letters, 2001 Volume: 22 , Issue: 8 Page(s): 405 – 406 (2001).
- [Jurc99] Jurczak M., Skotnicki T., Paoli M., Tormen B., Regolini J.-L., Morin C., Schiltz A., Martins J., Pantel R. et Galvier J. "SON (Silicon on Nothing)-a new device architecture for the Vlsi era" Symposium on VLSI Technology. Digest of Technical Papers, pages 29 – 30 (1999)

- [Hisa89] Hisamoto. D et al. "A fully depleted lean channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET" Electron Devices Meeting. IEDM. Technical Digest, International Page(s): 833- 836, (1989)
- [Hira01] T. Hiramoto "Nano-scale silicon MOSFET: towards non-traditional and quantum devices". IEEE International SOI Conference Proceedings (2001)
- [Huan01] X. Huang et al "Sub-50nm P-Channel FinFET", Electron Devices, IEEE Transactions on Volume: 48 , Issue: 5 Page(s): 880- 886, (2001)
- [Hurk89] G.A.M Hurkx "On the modelling of tunnelling currents in reverse-biased pn junctions," Solid-State Electronics Volume 32, Issue 8, August (1989).
- [Lee05] H. Lee, C.-H Lee, D. Park Y.-K. Choi, "A study of negative-bias temperature instability of SOI and body-tied FinFETs" IEEE Electron Device Letters 26 pages: 326–328, (2005).
- [Mano08] C.R,Manoj et al "Device Design and Optimization Considerations for Bulk FinFETs" IEEE TED Volume: 55 , Issue: 2 , Page(s): 609 – 615. (2008)
- [Mastar] Model for Assessment of CMOS Technologies And Roadmaps - Modèle pour l'évaluation des Technologies CMOS et des feuilles de route, <http://www.itrs.net/models.html>
- [Monf01] Monfray S et al. "First 80 nm SON (Silicon-On-Nothing) MOSFETs with perfect morphology and high electrical performance" In International Electron Devices Meeting. Technical Digest, pages 645 – 648 (2001).
- [Munt99] D. Munteanu et S. Cristoloveanu, "Modelisation et Caracterisation Des Transistors Soi: Du Pseudo-Mosfet Au Mosfet Submicronique Ultramince Modeling And Characterization Of Soi Transistors: From Pseudo-Mosfet To Submicron Ultra-Thin Mosfet" Thèse INPG, (1999).
- [Pham08] L. Pham-Nguyen, C. Fenouillet-Beranger, A. Vandooren, A. Wild, G. Ghibaudo, S. Cristoloveanu, "Direct comparison of Si/High-K and Si/SiO₂ channels in advanced FD SOI MOSFETs", Proc. SOI Conf., pp.25, (2008).
- [Parv09] Parvais B et al "The device architecture dilemma for cmos technologies: opportunities & challenges of finFET over planar MOSFET". VLSI-TSA; (2009)
- [Peth05] A. Pethe, T. Krishnamohan, D. Kim, S. Oh, H. S. P. Wong, Y. Nishi, K. C. Sarawat, "Investigation of the Performance limits of III-V Double-Gate n-MOSFETs", Proc. IEDM 2005, p. 605, (2005)
- [Robe 00] Robertson J, "Band offsets of wide-band-gap oxides and implications for future electronic devices", J. Vac. Sci. Technol. B vol 18 no 3 pages :1785 (2000)

- [T.Roch08] T Rochette these Étude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées (2008)
- [Skot99] T.Skotnicki et al "Heavily doped and extremely shallow junction on insulator by SONCTION (SilicON Cut-off junctiON) process", IEDM Technical Digest p.513-516 (1999)
- [Skot01] T. Skotnicki, "Transistor MOS et sa technologie de fabrication", Encyclopédie Techniques de l'Ingénieur, traité d'électronique E2 430, (2000)
- [Soic12] <http://www.soiconsortium.org/>
- [Vinet05] M.Vinet et al "Bonded Planar Double-Metal-Gate NMOS Transistors Down to 10 nm" Electron Device Letters 2005 Volume: 26, Issue: 5 Page(s): 317- 319
- [Widi01] J.Widiez et al "Experimental gate misalignment analysis on double gate SOI MOSFETs" IEEE Int. SOI conf (2001).

Chapitre II: Dispositif MOSFET FD SOI

Introduction

Avec la réduction des performances des dispositifs MOS, plusieurs grands industriels comme STMicroelectronics (dans le cadre de son Alliance avec IBM) ont fait le choix de se lancer sur la technologie FDSOI. Un pari stratégique audacieux quand le géant Intel se lance sur les FinFET's Trigate pour les nœuds 22nm et en deçà.

L'approche SOI consiste à introduire, dans le transistor silicium Bulk, une fine couche d'isolant (Oxyde de Silicium). C'est ce qu'on appelle UTB SOI (Ultra Thin Body Silicon On Insulator).

Ce type de dispositif a été étudié sérieusement en 1996 par l'équipe de Chenming Hu de l'Université de Californie, Berkeley [Soic]. Ceux-ci ont montré que cette technologie pouvait résoudre les problèmes de consommation et de résoudre les problèmes liés à la réduction d'échelle des dispositifs jusqu'à des longueurs de grille de 20 nm.

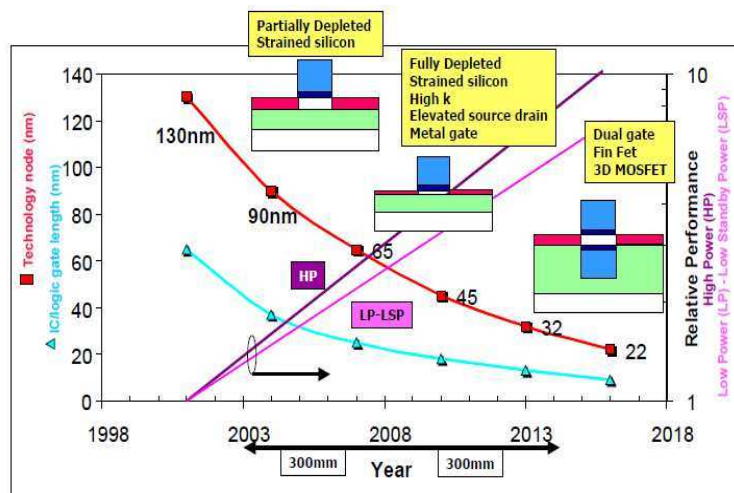


Figure II.1 Le SOI permet d'atteindre les générations futures de dispositifs définies par L'ITRS roadmap jusqu'au nœud 20nm [Soic]

La technologie SOI a été handicapée au début des années 90 par le prix des substrats silicium sur isolant produit par SOITEC qui en détenait le principal brevet de fabrication. Elle était ainsi utilisée pour des circuits à haute valeur ajoutée. Mais les limites actuelles du Bulk ont fait que le FD SOI devient un successeur potentiel sérieux en raison de sa faible consommation et de son efficacité en termes de réduction de courant de fuite. Il est privilégié pour les systèmes qui opèrent à hautes performances, et pour les "systèmes on chip" (SOC) à basses énergies tels que l'internet mobile (Smartphones, tablettes, Netbooks), les Home multimédias (Blue-Ray, Box, TV).

Chapitre II : Dispositif MOSFET FDSOI

I.	Introduction	46
II.	Technologie silicium sur isolant /SOI (Silicon On Insulator).....	46
1)	Idée du SOI	46
2)	Substrat SOI.....	47
3)	MOSFET sur SOI.....	47
1.	MOSFET PD SOI (partiellement déserté)	48
a.	Effet Kink	48
b.	Effet bipolaire parasite.....	49
c.	Effet latch up.....	50
d.	Effet transitoire	50
2.	Transistors MOS Complètement Désertés (FD SOI).....	50
III.	Paramètres électriques du MOS FD SOI	51
1)	Courant de fuites à travers la grille.....	52
2)	Méthode d'extraction des principaux paramètres électrique des MOS	53
1.	Méthode Mc Larty	53
2.	Méthode de Hamer.....	55
3.	La fonction 'Y'	55
4.	La méthode fonction Y itérative de Mourrain	59
5.	Méthode de la régression polynomiale	60
3)	Extraction des résistances séries	61
1.	La méthode de $\theta_1(\beta)$ ou Fonction Y	64
2.	Méthode $R_{tot}(1/\beta)$	66
4)	La méthode Split CV	67
5)	Split CV sur canaux courts.....	69
6)	Effets de canaux courts.....	70
7)	L'extraction du DIBL	71
8)	Extraction de la longueur effective L_{eff}	73
1.	Méthode shift et Ratio	73
2.	Technique de $\Delta L(L_{ma})$	74
9)	Tension de seuil V_{th}	75
1.	Plan de masse GP "Ground Plane" ou BP "Back Plane"	76

2.	Polarisation face arrière “Back Biasing” ou RBB/FBB (Reverse /Forward Back Biasing).....	79
10)	Influence de la polarisation face arrière sur la mobilité	81
IV.	Conclusion	82

Chapitre II : Dispositif MOSFET FDSOI

I. Introduction

Le MOSFET FD SOI (Complètement déserté Silicium sur Isolant) est une alternative crédible pour remplacer le MOS sur silicium massif. La figure II.2 montre une comparaison entre l'architecture du MOS conventionnelle sur silicium et sur SOI. On peut dire que la présence d'une couche enterrée d'oxyde de silicium SiO_2 est la majeure différence entre les deux technologies. Elle permet d'isoler les MOS des effets parasites et sépare la zone active du reste du wafer.

Ce dispositif arrive à suivre la loi de Moore pour les nœuds 28 et 22 nm et présente d'excellentes performances électriques. STMicroelectronics a relevé le défi de se lancer dans le développement de cette technologie à l'échelle industrielle pour le nœud 28 nm. Un excellent pari aux vues des performances atteintes.

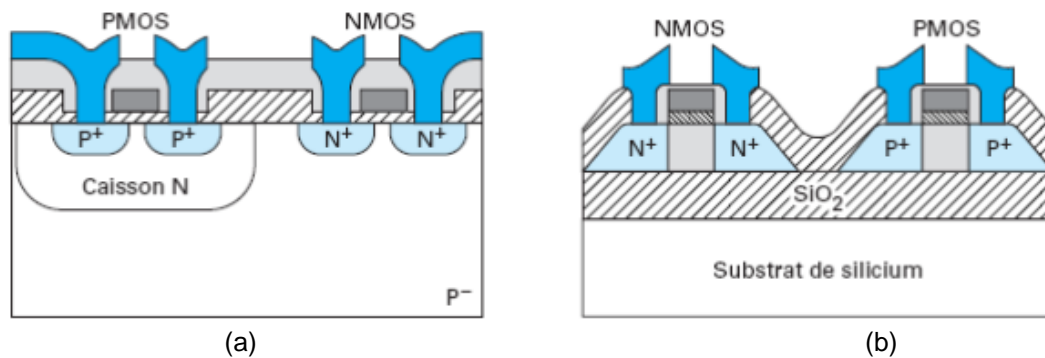


Figure II.2 Comparaison entre l'architecture d'un MOS sur bulk (a) et sur SOI (b) [Cell03]

Dans ce chapitre, nous allons étudier les caractéristiques électriques des dispositifs FDSOI. Nous exposerons les différentes méthodes d'extractions de paramètres du transistor et nous verrons l'impact des paramètres comme l'épaisseur du Box et le type du plan de masse "Ground Plane" sur le fonctionnement du transistor. Nous énumérons aussi les avantages qu'apportent ces dispositifs sur des paramètres comme la tension de seuil et le DIBL.

II. Technologie silicium sur isolant /SOI (Silicon On Insulator)

1) Idée du SOI

Si l'on regarde en coupe une plaque de la technologie silicium massif, la zone utilisée pour la fabrication et le fonctionnement des transistors est très faible moins de 1 % de l'épaisseur totale de la plaquette. Le reste est utilisé comme support mécanique induisant des phénomènes parasites. Isoler la zone électriquement active du transistor du reste de la plaque avec un diélectrique a donc été proposée.

Ce diélectrique enterré permet ainsi une isolation totale entre dispositifs et ainsi la réduction des extensions des source/drain en profondeur par le Box. Ceci permet de réduire les effets canaux courts et les effets de perçage.

2) Substrat SOI

Historiquement, la technologie SOI a été introduite vers 1970 pour des applications spatiales. Aujourd'hui, différents substrats SOI ont été proposés : SOS (Silicium sur Saphir, SIMOX (Implantation d'ions d'oxygène à fortes dose et énergie). Ces wafers sont fabriqués suivant une technique innovante constituée de deux étapes ; la première consiste au collage d'une plaque A oxydée avec une plaque B. Ce collage se fait via des liaisons hydrophiles et les forces de Van Der Walls.

La seconde étape, consiste à amincir le film du silicium sur le Box. Cette technique a été développée par Michel Bruel [Brue95] du CEA-Leti, et Soitec l'a adopté pour une production industrielle. La figure II.3 expose une brève explication des différentes étapes de fabrication des substrats SOI par la méthode "Smart Cut™".

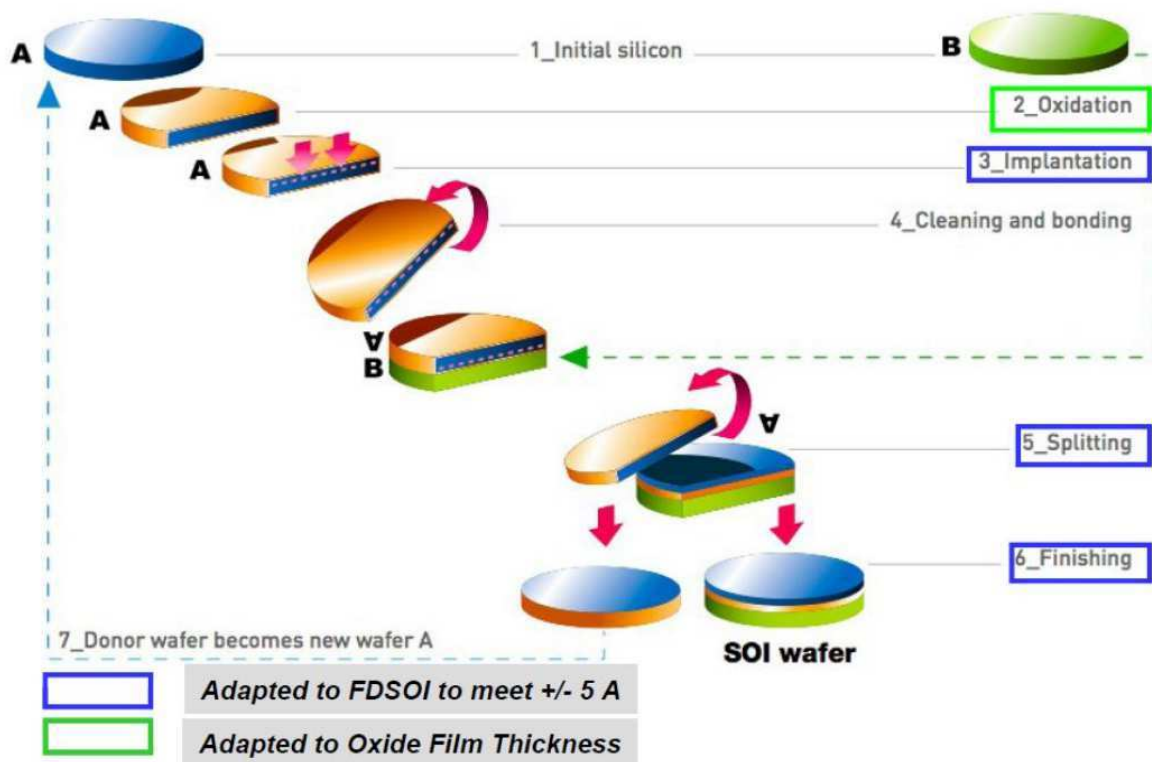


Figure II.3 Processus SMART CUT™ [Schw11]

3) MOSFET sur SOI

Les transistors sur SOI se classent principalement en deux familles de composants les PD (Partially Depleted) partiellement déserté et le FD (Fully Depleted) complètement déserté. Ces notations font référence à l'état du canal, le premier ne sera pas totalement déserté puisque la profondeur de déplétion est inférieure à l'épaisseur de la couche de silicium

($T_{si} > X_{dep}$), et le deuxième sera totalement déserté. La technologie PD est assez proche de celle sur substrat massif en terme de processus de fabrication, cependant, plusieurs problèmes subsistent et limitent son utilisation.

1. MOSFET PD SOI (partiellement déserté)

Le MOSFET PD (cf. Figure II.4) reste similaire au MOS sur silicium massif, les charges des porteurs majoritaires se trouvent repoussées de l'interface diélectrique/Silicium créant ainsi une zone de déplétion d'une profondeur maximum X_{dep}^{max} qui reste inférieure à l'épaisseur T_{si} . La non-déplétion de toute la couche de silicium crée une zone électriquement neutre, et réduit son contrôle électrostatique.

$$X_{dep}^{max} = \sqrt{\frac{4\epsilon_{si}\phi_F}{qN}} \quad (II.1)$$

Où N est le niveau du dopage du canal.

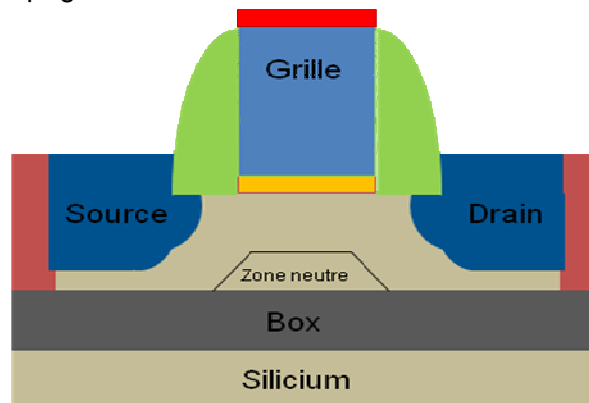


Figure II.4 Représentation schématique d'un transistor MOS PD SOI

Les dispositifs PD exhibent de performances meilleures notamment en termes de courant I_{on} comparés à ceux sur silicium massif. Néanmoins, d'autres effets parasites, connus sous le nom de substrat flottant (Floating Body Effects) apparaissent. Les caractéristiques I-V ne sont plus constantes et deviennent dépendantes de la densité de charges contenues dans la zone neutre (body) modifiant ainsi le comportement du transistor.

1. Effet Kink

Ce phénomène apparaît à fort champ électrique, il est dû à l'ionisation par impact qui crée des paires électrons-trous près du drain. Certaines de ces charges ne se recombinent pas et donnent lieu à des charges libres. Dans le cas d'un NMOS, les électrons vont suivre le courant de drain en revanche, les trous vont s'accumuler lentement dans le body/ zone neutre Figure II.5. Ce phénomène contribue à l'augmentation du potentiel dans le canal et par conséquent, induit une diminution de la tension de seuil et une augmentation du courant de drain Figure II.6. Les équations (II.2&II.3) permettent de calculer la variation de tension de seuil V_{th} et I_D engendrée.

$$\Delta I_D = g_b \Delta V_b \quad (II.2)$$

$$\Delta V_{th} = -\frac{C_{dep}}{C_{ox}} \Delta V_b \quad (II.3)$$

$$g_b = \frac{dI_D}{dV_b} = \frac{C_{dep}}{C_{ox}} g_m \quad (II.4)$$

Où g_b est la transconductance du body et g_m la transconductance face avant, V_b est l'auto polarisation face arrière et C_{dep} est la capacité de déplétion [Hafe90].

Un second effet kink peut aussi apparaître après le premier. Il est dû à la polarisation en direct de la diode source/body et peut engendrer le passage d'un courant bipolaire parallèle au MOSFET. C'est l'effet bipolaire parasite.

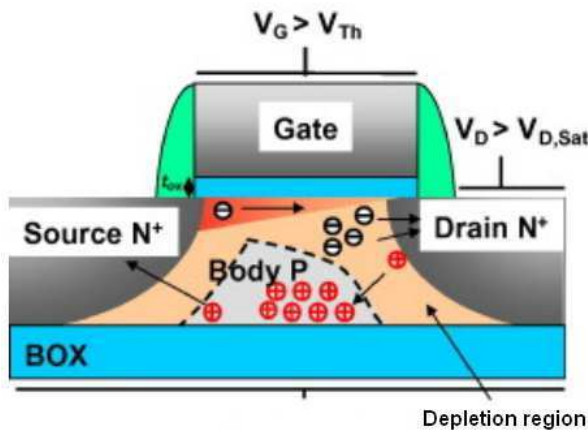


Figure II.5 Mécanisme d'ionisation par impact [Hube10]

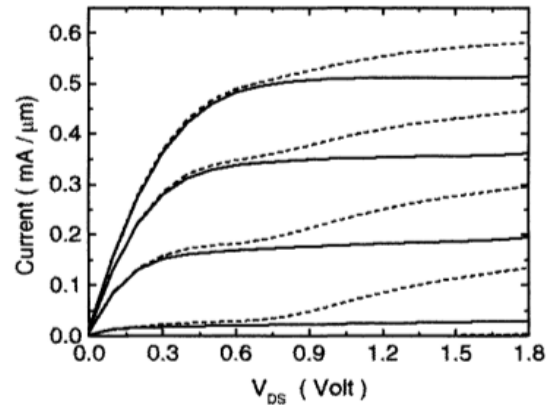


Figure II.6 L'effet Kink pour transistor PD SOI [Hube10]

Toutefois, ces effets sont atténués et peuvent disparaître dans le cas du FD SOI, en raison de la déplétion totale du film de silicium, ce qui annule l'effet Kink.

2. Effet bipolaire parasite

Dans un composé à base de SOI la présence du substrat flottant rend ce phénomène plus important. Il est dû à l'apparition d'un transistor à jonction bipolaire dans le substrat.

L'émetteur et le collecteur sont formés par la source et le drain dopé N^+ (NMOS) et la base par le substrat de type p. Les trous, créés par le phénomène d'ionisation par impact (Premier effet Kink), migrent dans la zone flottante de substrat, et vont créer un transistor bipolaire parasite par polarisation directe de la jonction base/émetteur (body/source), parallèlement au MOS [Feno11]. Ce phénomène parasite contribue à la dégradation de la tension de seuil, une pente sous le seuil inférieure à 60 mV/déc et une perte de contrôle du courant par la grille, ce qui peut donner lieu à de très forts courants de fuites [Yosh90]. Pour atténuer cet effet, une implantation LDD est proposée comme solution. Cette technique permet de réduire l'ionisation par impact et le gain du bipolaire [Choi91] [Ploe92.]

3. Effet latch up

L'effet de « latch-up » peut entraîner le verrouillage d'une structure parasite de type thyristor, inhérente aux technologies CMOS sur substrat massif. Cet effet s'explique par la mise en conduction d'une structure PNPN à travers le substrat, en raison de deux transistors bipolaires parasites NPN et PNP, formés entre le substrat, le caisson et les zones de diffusion des transistors NMOS et PMOS. Si cette structure de thyristor est verrouillée par un courant fort dans la base d'un des deux transistors bipolaires, les alimentations sont court-circuitées, pouvant causer la destruction irrémédiable du composant en quelques microsecondes par effet thermique. L'oxyde enterré du SOI prévient tout chemin de courant à travers le substrat, empêchant une telle structure de se former. [Bale94]

4. Effet transitoire

Un courant de drain transitoire est observé quand le potentiel du body flottant est poussé hors équilibre. Cet effet va augmenter temporairement le courant à cause d'un excès de charges majoritaires ou va créer une diminution temporaire du courant à cause d'un déficit de ces mêmes charges.[Cris95]

2. Transistors MOS Complètement Désertés (FD SOI)

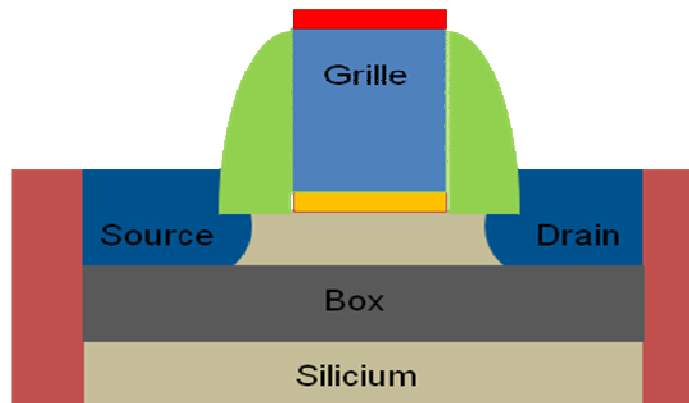


Figure II.7 Représentation schématique d'un transistor MOS FDSOI

La structure FD SOI ressemble à celle du PD, les seules grandes différences sont ; une absence ou peu de dopage dans le canal et l'amincissement du film du silicium. Pour simplifier, le transistor FD SOI est un transistor MOS intégré sur une couche de silicium ultra mince, opérant en déplétion totale avec un canal confiné dans une zone réduite entre l'oxyde de grille et le Box.

L'application d'un potentiel face arrière (Back Bias) via une prise substrat va augmenter les performances et réduire les fuites (Paragraphe III.9-2), par ajustement du V_{th} et réalisant des implantations de dopants sous le Box (c'est ce qu'on appelle plan de masse "Ground Plane"). Hormis ces avantages, le FD SOI confère :

-Une immunité due aux composants des zones actives du silicium en raison de la présence de l'oxyde enterré.

-Un excellent contrôle électrostatique du transistor, permettant d'atteindre des performances remarquables pour les faibles V_{dd} .

-Une réduction considérable de la variabilité, les transistors MOS FDSOI possèdent un coefficient de variabilité de la tension de seuil (A_{Vt}), aussi appelé coefficient de Pelgrom, deux à trois fois plus faible que celui des transistors MOS sur silicium massif. Cela permet ainsi, une grande stabilité et un meilleur rendement des SRAM pour les faibles V_{dd} [Liu11].

En comparaison avec le CMOS sur silicium massif dans les circuits, pour une même tension d'alimentation on a une augmentation de 20-30% en termes de performances et une réduction ~40 % de la consommation d'énergie de consommation grâce au FDSOI (Cf Figure II.8).

Tous ces atouts ont fait que le FD SOI est considéré comme un candidat sérieux et crédible pour concurrencer la technologie CMOS sur silicium massif pour les prochains nœuds technologiques.

Il faut rappeler que le MOS FD SOI fonctionne globalement de la même manière que le MOS sur silicium massif et les équations introduites dans le premier chapitre restent valable ainsi que les méthodes d'extraction des paramètres des dispositifs.

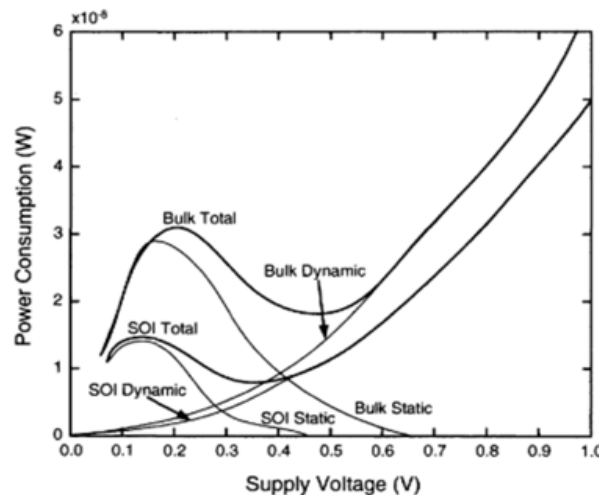


Figure II.8 Énergie de consommation vs la tension d'alimentation pour des portes logiques CMOS pour SOI et Bulk [Kuo.J01].

III. Paramètres électriques du MOS FD SOI

Les performances d'un transistor MOS FDSOI sont évaluées au travers des paramètres tels que la valeur de la tension de seuil V_{th} , la pente sous le seuil SS et la mobilité des porteurs.

L'extraction de paramètres supplémentaires comme le DIBL, la résistance d'accès R_{sd} ou les courants de fuites nous permettent de comprendre les phénomènes parasites qui dégradent ces caractéristiques.

Ces données nous aident à optimiser les architectures ou le processus de fabrication pour minimiser leurs impacts et avoir de meilleures performances.

La majeure partie des méthodes d'extractions des paramètres se basent sur la mesure de la courbe de courant de drain en fonction de la tension de grille I_d-V_g . Ces mesures restent plus précises par rapport aux mesures capacitives qui deviennent problématiques pour les faibles longueurs de grille malgré leurs immunités vis-à-vis des résistances d'accès.

Le paragraphe suivant expose l'état de l'art de quelques méthodes d'extractions et montre l'impact des différents processus sur les paramètres du MOS FDSOI.

L'extraction de paramètres électriques se fait principalement en régime ohmique ($V_d \ll V_{dsat}$).

Dans ce cas, le courant de drain s'écrit

$$I_D = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 \frac{(V_g - V_{th}) V_d}{1 + \theta_1 (V_g - V_{th}) + \theta_2 (V_g - V_{th})^2} \quad (II.5)$$

$$\text{Avec } \theta_1 = \theta_{1,0} + \frac{W_{eff}}{L_{eff}} \mu_0 C_{ox} R_{sd} \quad (II.6)$$

θ_1 exprime l'influence des résistances d'accès sur le courant de drain et θ_2 le facteur d'atténuation relié à la rugosité de surface et à la diffusion à travers les phonons (Chapitre IV.III.2) extrait à fort champ transversal [Riec96]. Ce modèle analytique rend compte du comportement du transistor MOSFET et donne une signification physique pour chacun de ces paramètres.

1) Courant de fuites à travers la grille

Il est commun au transistor MOS sur silicium massif et FD SOI. Il est dû à l'augmentation de la densité de courant surfacique sous la grille avec la réduction de l'épaisseur du diélectrique. Ce courant devient problématique pour les oxydes très minces et induit de forts courants de fuites et une augmentation de la consommation de puissance statique. Et ne pas en tenir compte induit une sous-estimation du courant débité et fausse l'extraction des paramètres.

K.Romanjek [Roma03] a pleinement analysé le mécanisme et a exposé un modèle de correction équation II.7

$$I_d \approx \alpha (I_{d,mes} - I_{s,m}) \quad (II.7)$$

Pour des tensions V_d très faibles, la couche d'inversion peut être supposée uniforme dans le canal (cf. Figure II.8 (a) & (b)) ce qui nous permet de supposer que $\alpha \approx 1/2$ ce qui équivaut à écrire I_d corrigé

$$I_{d,cor} = I_{d,mes} + \frac{I_g}{2} \quad (II.8)$$

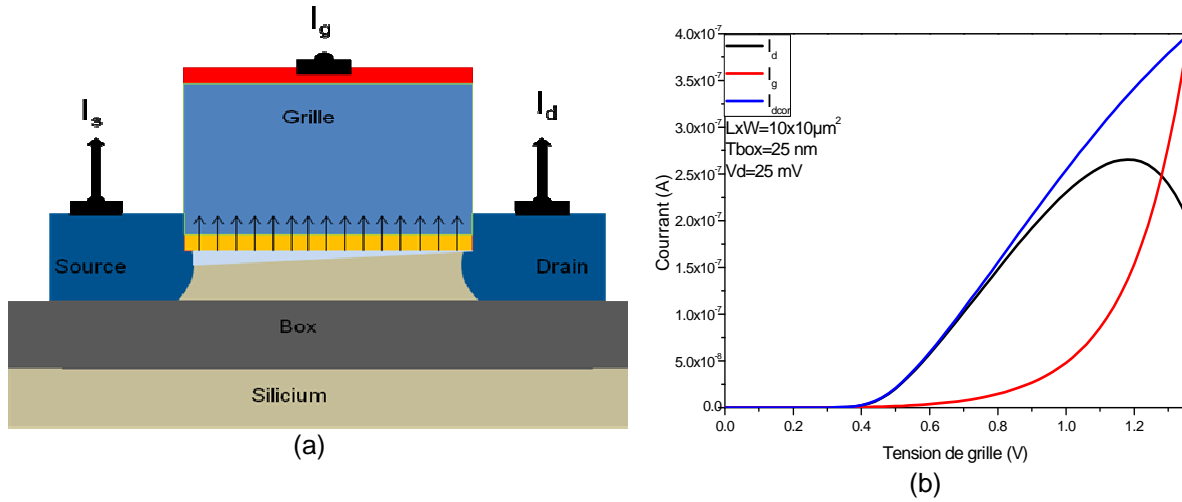


Figure II.9 Illustration du phénomène de partage de courant de grilles (a) schématiquement (b) avec les courbes de courant

Cette opération permet de corriger le courant de drain sur toutes les longueurs du canal et réduit les erreurs sur l'extraction des paramètres.

2) Méthode d'extraction des principaux paramètres électrique des MOS

Plusieurs méthodes ont été proposées pour extraire les paramètres inconnus dans les équations II.5&6 tels que le V_{th} , θ_1 , θ_2 , μ_0 et R_{sd} .

1. Méthode Mc Larty

Cette méthode se base sur la dérivé première et seconde de l'inverse du courant de drain. Elle permet d'extraire les deux facteurs d'atténuations θ_1 et θ_2 ainsi que la tension de seuil et la mobilité à faible champ μ_0 . L'avantage principal de cette méthode est qu'elle permet de supprimer l'influence de la résistance d'accès source-drain R_{sd} ; en effet les équations (II.9) et (II.11) ne dépendant pas du premier facteur d'atténuation de mobilité θ_1 [McLa95]. La première dérivée donne

$$f_{Mc} \left(\frac{1}{(V_g - V_{th})^2} \right) = \frac{\partial}{\partial V_g} \left(\frac{1}{I_d} \right) = \frac{1}{A} \left(\theta_2 - \frac{1}{(V_g - V_{th})^2} \right) \quad II.9$$

Avec $A = C_{ox} V_d \mu_0 (W/L)$. Cette équation permet d'extraire θ_2 qui correspond à l'abscisse à

l'origine multiplié par A de la fonction $f_{Mc} \left(\frac{1}{(V_g - V_{th})^2} \right)$.

Il est préférable d'extraire la mobilité à bas champ à partir de la première dérivée de l'inverse du courant de drain, car celle-ci est moins bruitée que sa dérivée seconde lissée ici dans la Figure II.10 en utilisant des fonctions informatiques .

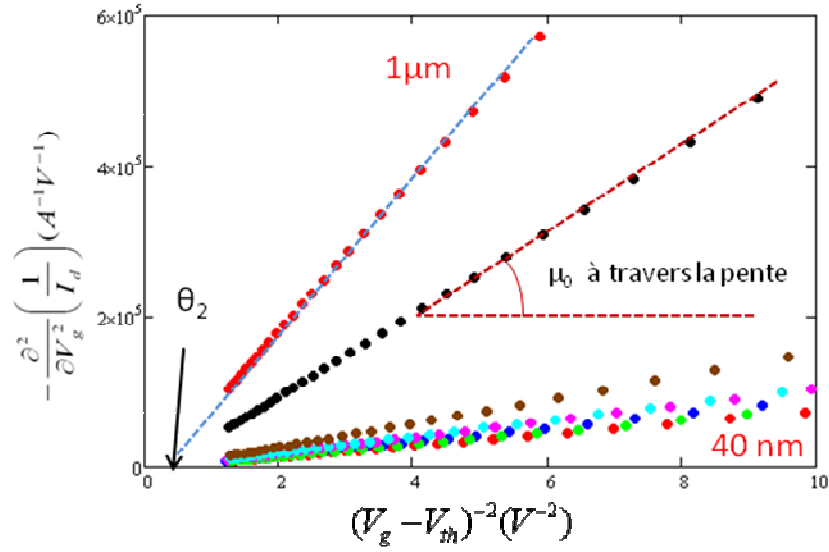


Figure II.10 Figure qui montre le point d'extraction expérimental de θ_2 pour L_g allant de $1\mu\text{m}$ à 40nm sur NMOS FD SOI

La dérivée seconde donne :

$$\frac{\partial^2}{\partial V_g^2} \left(\frac{1}{I_d} \right) = \frac{1}{A} \frac{2}{(V_g - V_{th})^3} \quad (\text{II.10})$$

La fonction de Mc Larty est définie comme :

$$Mc(V_g) = \left(\frac{\partial^2}{\partial V_g^2} \left(\frac{1}{I_d} \right) \right)^{-\frac{1}{3}} = \left(\frac{2}{A} \right)^{-\frac{1}{3}} (V_g - V_{th}) \quad (\text{II.11})$$

L'abscisse à l'origine de cette fonction permet d'extraire la tension de seuil et la pente permet d'extraire la mobilité à faible champs (Figure II.11)

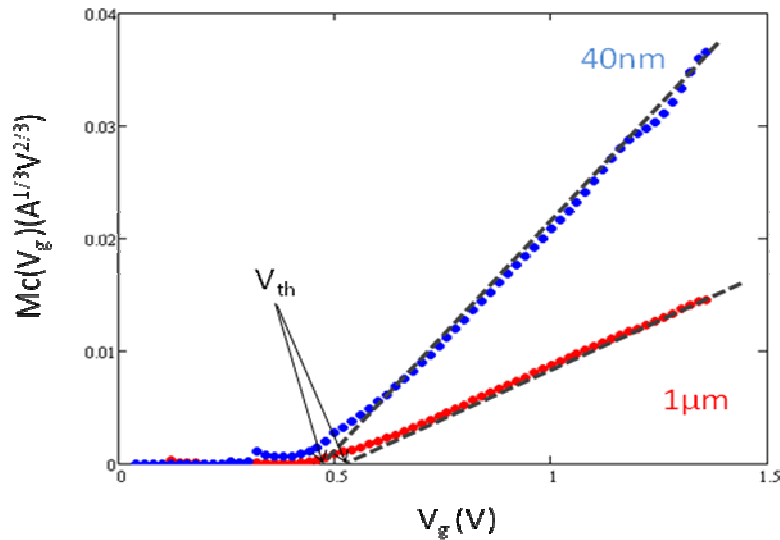


Figure II.11 Fonction de Mc Larty en fonction de la tension de grille sur des NMOS FD SOI
Tbox=25 nm

Le principal défaut de cette méthode est que la dérivée seconde induit une courbe bruitée ce qui peut poser des problèmes pour extraire le V_{th} et qui provoque des erreurs surtout pour les faibles longueurs de grilles.

2. Méthode de Hamer

Il s'agit d'une procédure numérique d'optimisation des paramètres G_m , V_{th} , θ_1 et θ_2 de façon à faire correspondre le mieux possible les résultats expérimentaux avec la loi [Hame86]:

$$I_d = \frac{G_m (V_g - V_{th}) V_d}{1 + \theta_1 (V_g - V_{th}) + \theta_2 (V_g - V_{th})^2} \quad (II.11)$$

L'avantage majeur de cette méthode c'est qu'elle est simple à programmer et à automatiser à l'échelle industrielle, malheureusement elle a aussi des inconvénients. Elle dépend des valeurs initiales qu'on injecte pour déterminer ces mêmes variables.

3. La fonction 'Y'

La fonction Y est définie comme la combinaison de la courbe de courant de drain I_d et celle de la transconductance g_m Figure II.12.(a). Elle permet d'extraire la tension de seuil et la mobilité à faible champ μ_0 . Cette méthode apporte plus de précisions par rapport aux autres méthodes [Ghib88]. Elle permet de s'affranchir de l'impact du premier facteur d'atténuation de la mobilité θ_1 et donc de la résistance d'accès R_{sd} .

La fonction Y est définie par le courant du drain divisé par la racine carrée de la transconductance cf. l'équation II.12 en prenant l'expression suivante du courant.

$$I_d = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 \frac{1}{1 + \theta_1 (V_g - V_{th})} (V_g - V_{th}) V_d \quad (II.12)$$

En inversion forte, la fonction Y varie linéairement avec V_g et la tension de seuil correspond à l'intersection avec l'axe des abscisses comme le montre la Figure II.12.(b).

$$Y(V_g) = \frac{I_d}{\sqrt{g_m}} = \sqrt{\frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 V_d} (V_g - V_{th}) = \sqrt{G_{m0}} (V_g - V_{th}) \quad (II.13)$$

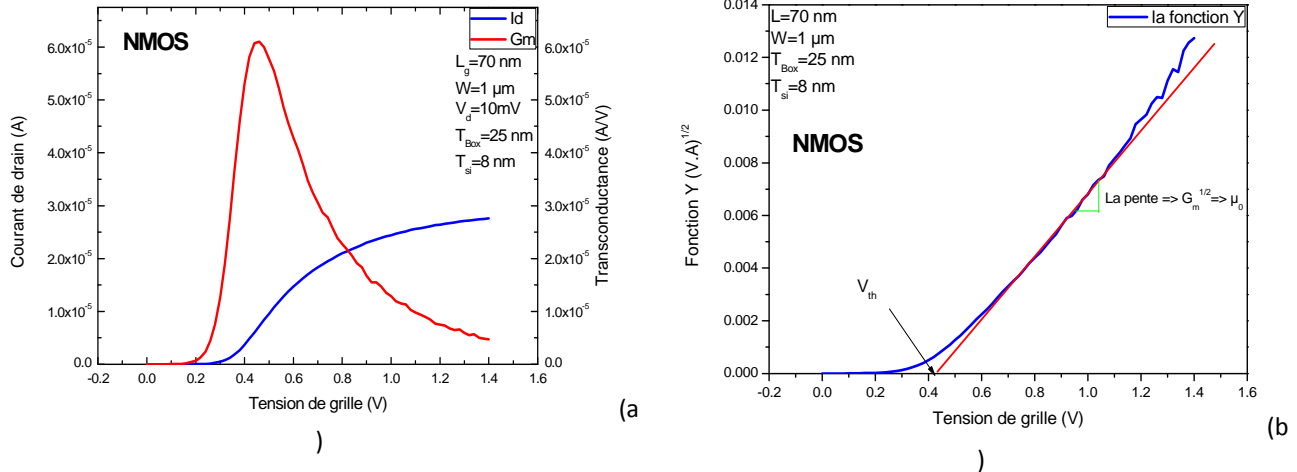


Figure II.12 Exemple de construction de la fonction Y (a) Courbe de courant et de transconductance à faible V_d (b) extraction de V_{th} et $G_m^{1/2}$

L'extraction du premier facteur d'atténuation θ_1 se fait à partir du produit des pentes des fonctions $Y(V_g)$ et $X(V_g)$ défini comme suit.

$$X(V_g) = \frac{1}{\sqrt{g_m}} = \frac{1}{\sqrt{\frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 V_d}} (1 + \theta_1 (V_g - V_{th})) \quad (II.14)$$

Si le deuxième facteur d'atténuation de la mobilité θ_2 exprimé dans l'équation II.5 est pris en compte, l'équation II.13 devient dépendante de θ_2

$$Y(V_g) = \frac{I_d}{\sqrt{g_m}} = \sqrt{\frac{\frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 V_d}{1 - \theta_2 (V_g - V_{th})^2}} (V_g - V_{th}) \quad (II.15)$$

Il est à noter que le calcul de ces deux paramètres nécessite un choix bien précis des plages d'extractions figure II.13. La valeur des facteurs d'atténuations dépend du champ effectif vertical E_{eff} . On distingue deux régions, la première, dite à moyen champ où la fonction Y est linéaire avec V_g . Cette plage permet d'extraire θ_1 . Une deuxième à champ fort où la fonction Y n'est plus linéaire Figure II.12.(b). Ce comportement peut être expliqué par le confinement des porteurs près de l'interface diélectrique/canal et de l'augmentation de l'effet de la rugosité de surface.

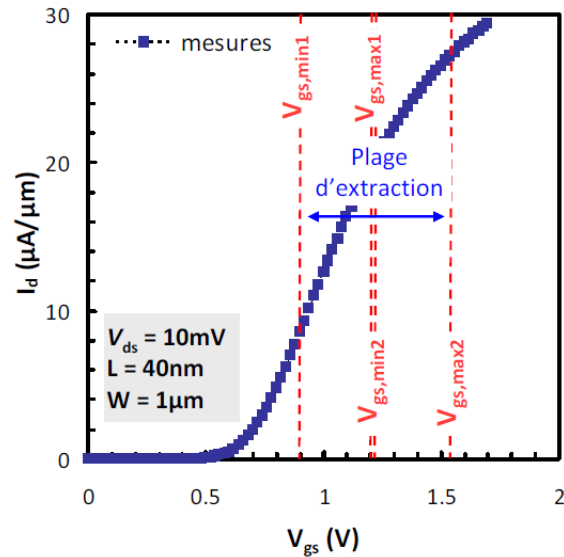


Figure II.13 Illustration des deux plages de tension qui définissent la zone dans laquelle on extrait θ_1 et θ_2 [D.Fleury]

La méthodologie décrite par D.Fleury [D.Fleury09] a été améliorée en créant un programme de traitement automatique des données. Ce programme a été transcrit sur Scilab et le diagramme suivant illustre les étapes à travers lesquelles le programme extrait les paramètres.

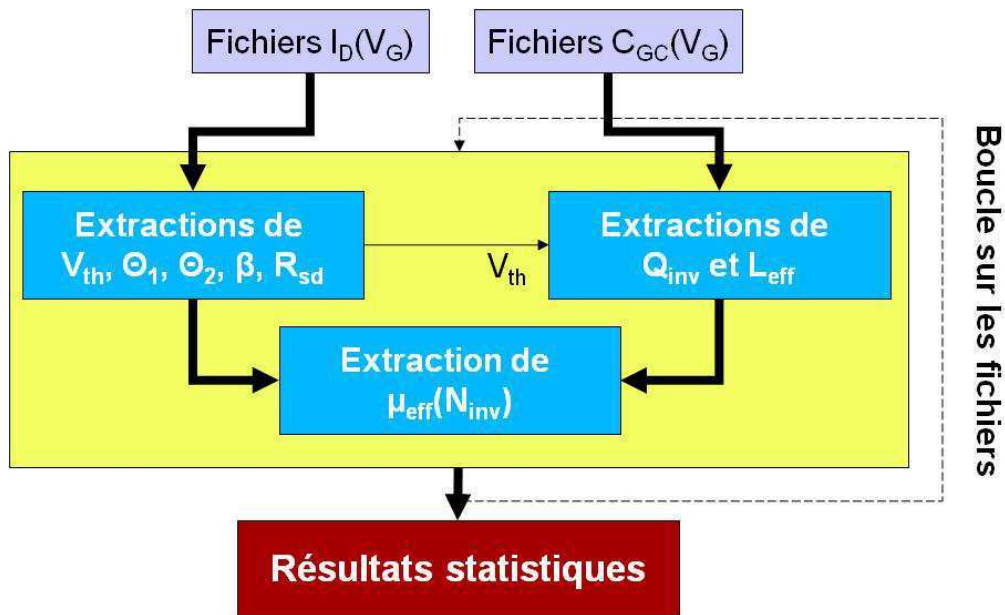


Diagramme II.1 Diagramme qui illustre les étapes nécessaires pour extraire les paramètres électriques

Les valeurs extraites en utilisant cette méthode sont réinjectées dans l'équation théorique, ceci permet de comparer le modèle théorique de l'équation II.5 à la mesure (cf. Figure 14). On constate une adéquation entre les deux courbes et par conséquent la robustesse de la

méthode d'extraction. Néanmoins, cette méthode donne une valeur approchée de θ_2 alors que d'autres méthodes, qu'on va décrire ensuite permettent une extraction plus rigoureuse.

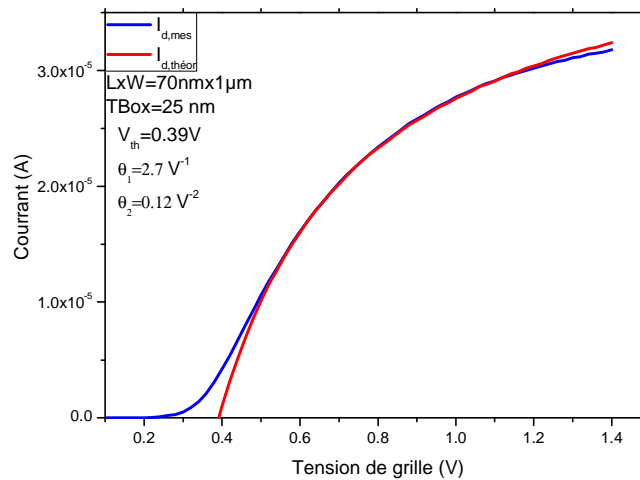


Figure II.14 Reconstitution de la courbe de courant de drain à travers les valeurs des paramètres extrait par la fonction Y

D'un point de vue expérimental la fonction Y reste la technique d'extraction la plus fiable surtout pour les faibles longueurs de grilles où son indépendance à la résistance d'accès lui confère une grande efficacité. D'un autre côté, cette méthode est facile à programmer et à automatiser. Dans notre étude cette méthode a été choisie pour extraire les paramètres électriques des MOS FD SOI. Une grande importance a été accordée à l'aspect statistique des extractions. Les figure II.15 (a) & (b) montrent deux diagrammes statistiques sur l'extraction de la valeur de la tension de seuil pour des n&pMOS avec $LxW=1$ & $0.1 \mu m^2$ et pour $T_{Box}=145$ nm.

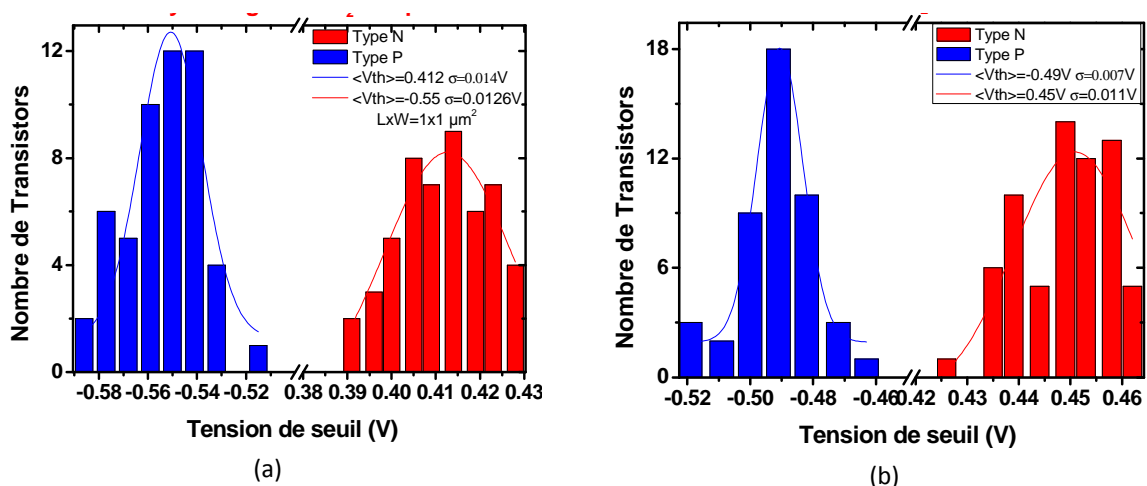


Figure II.15 Variation de la tension de seuil sur tout le substrat pour des transistors N et PMOS
(a) $L=1\mu m$ (b) $L=0.1 \mu m$

Ces diagrammes exposent l'évolution statistique des valeurs de V_{th} sur tout le substrat et montre que ces valeurs présentent une valeur moyenne $\langle V_{th} \rangle$ avec une faible incertitude

statistique σ (0.07 V pour PMOS et 0.011 V pour NMOS). Cette première étude illustre clairement l'efficacité des dispositifs sur SOI vis-à-vis de la variabilité [Webe08].

4. La méthode fonction Y itérative de Mourrain

On constate à travers la figure II.12.(b) que la fonction Y n'est pas parfaitement linéaire à fort V_g . De ce fait, l'extraction du facteur d'atténuation de la mobilité θ_2 en utilisant cette méthode reste moins précise. La figure II.14 montre la courbe de courant théorique reconstituée en utilisant la valeur de θ_2 extraite avec la fonction Y. Cette figure montre qu'à fort V_g le modèle théorique représente moins bien la courbe expérimentale. Cette différence entre les deux courbes est la conséquence directe d'une erreur dans l'extraction de la valeur de θ_2 .

La méthode [Mour00] permet de corriger la non-linéarité de la fonction Y grâce à une procédure itérative qui corrige l'effet induit par θ_2 l'équation de courant (II.5) est réécrite sous la forme suivante;

$$I_d = G_m \frac{V_g - V_{th}}{1 + \theta_{1eff}(V_g - V_{th})} \quad (II.16)$$

$$\text{Avec } \theta_{1eff} = \theta_1 + \theta_2(V_g - V_{th}) = \frac{G_m}{I_d} - \frac{1}{V_g - V_{th}} \quad (II.17)$$

$$Y_{i+1} = Y_i \sqrt{1 - \theta_{2i}(V_g - V_{th})^2} \quad (II.18)$$

Cette méthode procède en deux étapes. La première consiste à extraire V_{th} et G_m en utilisant la fonction Y où θ_2 peut être négligé. Ensuite on extrait θ_1 et θ_2 à partir de la fonction (II.17). La seconde étape consiste à réinjecter i-fois les valeurs trouvées dans une nouvelle équation (II.18) afin de corriger la fonction Y des effets non linéaires (cf. Figure II.16)

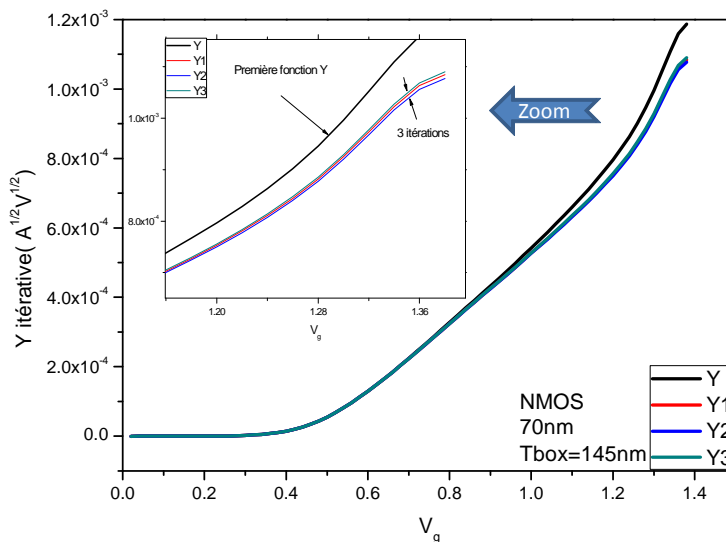


Figure II.16 Courbe de fonction Y obtenue après 3 itérations

La figure II.17 montre l'évolution de la fonction θ_{1eff} après 3 itérations. Elle permet une extraction plus rigoureuse des facteurs d'atténuations.

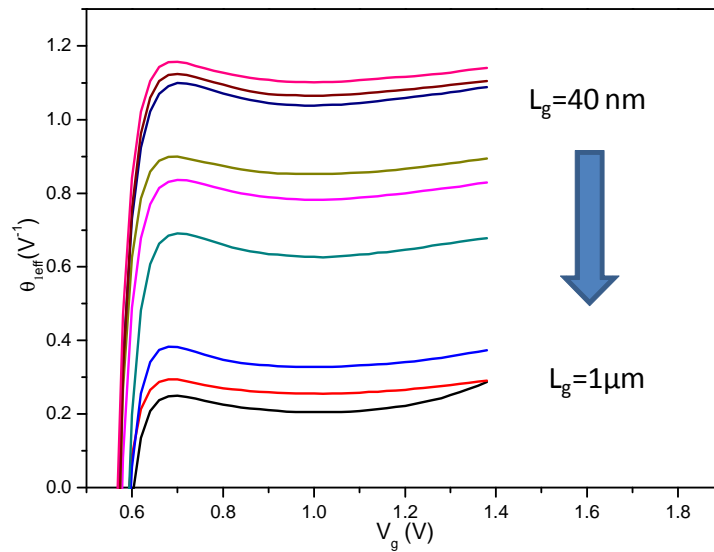


Figure II.17 Évolution de la courbe typique de θ_{1eff} avec V_g pour L variant de $1 \mu m$ à $40 nm$

Le tableau suivant résume l'évolution de la valeur de θ_2 pour toutes les longueurs de grilles après 3 itérations successives sur un NMOS avec $145 nm$ de Box et $T_{Si}=8 nm$ avec un diélectrique high-k HfO_2 (CET $2.3nm$). et un metal de grille (ALD $TiN 10nm$)

L_{masque}	θ_2 1res itérations	θ_2 2ième itérations	θ_2 3ième itérations	Différence en % en 1 ^{ière} et 3ième itérations
10	0.225	0.202	0.23	2.17
1	0.107	0.099	0.111	3.6
0.5	0.132	0.122	0.136	2.94
0.12	0.163	0.156	0.173	5.78
0.08	0.149	0.141	0.161	7.45
0.07	0.13	0.122	0.135	3.7
0.05	0.16	0.153	0.176	9.09
0.045	0.126	0.121	0.135	6.66
0.04	0.124	0.116	0.135	8.14

5. Méthode de la régression polynomiale

Elle a été proposée par D.Fleury [Fleu08]. Elle reprend l'équation II.5 et s'exécute en deux étapes :

-La première étape consiste en la définition d'un algorithme récursif pour extraire β et V_{th} , réutilisés pour l'extraction de θ_1 et θ_2 . Cet algorithme se base sur la définition de la fonction ξ telle que $\varepsilon = V_{th}^* - V_{th}$ l'erreur estimée sur l'extraction de V_{th}

$$\xi(V_{gt}^* = V_g - V_{th}^*) = \frac{1}{Y^2(V_{gt}^*)} \approx \frac{1}{\beta_0 V_d} \left(-\theta_2 + \frac{1}{V_{gt}^{*2}} - 2 \frac{\varepsilon}{V_{gt}^{*3}} \right) \quad (II.19)$$

$$\text{et } V_{gt}^* = V_{gt} - V_{th}^* = V_{gt} - \varepsilon \quad (II.20)$$

L'équation II.19 fournit un système auto consistant qui permet la détermination de V_{th} et β_0 au bout de quelques itérations (cf. Figure II.18).

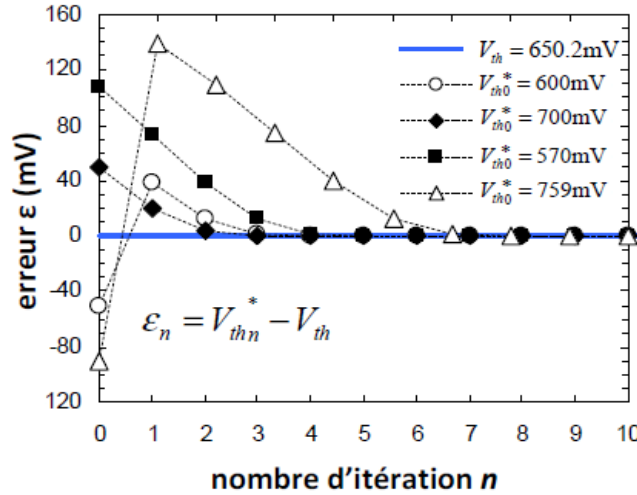


Figure II.18 Évolution de l'erreur ε_n en fonction du nombre d'itérations n , pour différents choix de valeur initiale V_{th0} [D.Fleury]

-La deuxième étape consiste en l'extraction des facteurs d'atténuations de la mobilité θ_1 et θ_2 en utilisant la méthode fonction Y itérative décrite dans le paragraphe III-2-4

Cette méthode montre une robustesse vis-à-vis de la variation de la résistance série et reste indépendante des plages d'extraction illustrées sur la figure II.13.

3) Extraction des résistances séries

La réduction de la résistance série de la jonction source-drain est un levier majeur pour l'amélioration des performances du MOSFET. Mais avec la réduction de la longueur du canal les résistances d'accès ou résistances séries ($R_{sd}=R_s+R_d$) tendent à dépasser celle du canal. Réduire ces résistances représente un grand challenge pour les prochains nœuds technologiques.

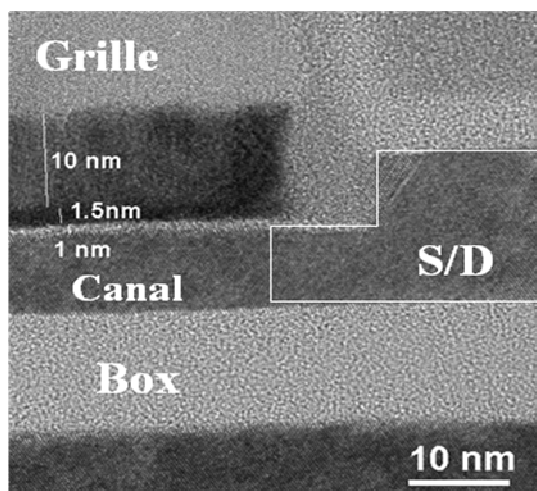
L'optimisation de ce paramètre dépend très fortement du processus de fabrication et de la morphologie des accès au canal, et donc de l'architecture globale du transistor. Sur les dispositifs FD SOI, l'extension des jonctions source-drain est limitée et par l'oxyde enterré et par l'épaisseur du film de silicium.

On peut assimiler les source-drain fortement dopés à un conducteur métallique. L'équation II.21 exprime la dépendance de la résistance vis-à-vis des dimensions du conducteur donc tout naturellement, réduire les dimensions de ces jonctions tend à augmenter la résistance.

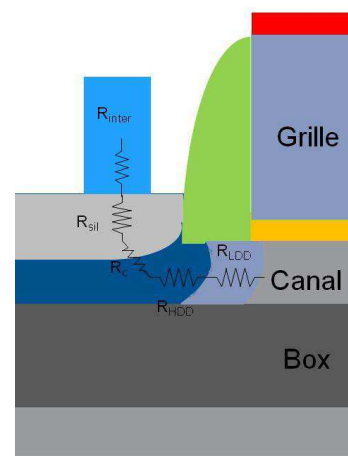
$$R = \frac{1}{\gamma} \frac{l}{S} \quad (\text{II.21})$$

Avec γ est la conductivité en Siemens, l la longueur du conducteur et S la section du conducteur.

Le surélévation des jonctions source-drain RSD (Raised Source and Drain) comme le montre la figure II.19 (a) & (b) constitue en premier lieu, une solution pour augmenter la surface de ces jonctions.



(a)



(b)

Figure II.19 a) Figure TEM qui illustre la surélévation des jonctions source-drain dans les dispositifs FD SOI b) Illustration des principales résistances présentes sur les dispositifs FD SOI

En second lieu, lorsque le film mince de silicium qui constitue les jonctions source-drain est totalement siliciuré, la surface de l'interface siliciure/silicium devient très faible, ce qui augmente considérablement la résistance. Faire des RSD donne plus de marge pour le processus de silicuration des source et drain, car il est intéressant de voir la consommation du silicium provoqué par la silicuration et donc l'épaisseur de siliciure ainsi formée (cf. Figure II.20). De plus, les RSD permettent une plus grande zone pour la prise de contact.

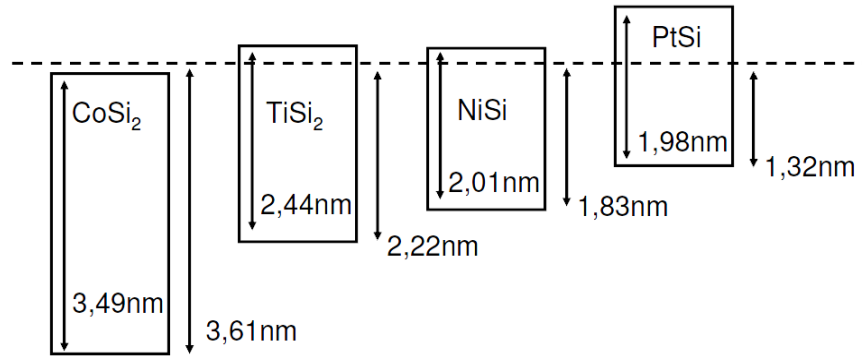


Figure II.20 Épaisseur de pénétration dans le silicium des différents siliciures pour 1 nm de métal déposé [N.Breil09]

La résistance R_{sd} est composée comme le montre la figure II.19 (b), de plusieurs composantes.

- R_{inter} : résistance des interconnexions
- R_{sil} : résistance liée au silicure.
- R_c : résistance de contact entre silicure et source-drain fortement dopé.
- R_{HDD} : résistance des zones fortement dopées de la source et drain.
- R_{LDD} : résistance des zones modérément dopées.

La structure RSD contribue à la réduction des composantes parasites des R_{sd} en modifiant les trajectoires des lignes de courant et permet de réduire les résistances R_{HDD} et R_{LDD} qui restent relativement élevées. Ces deux composantes sont impliquées aussi, dans le chemin préférentiel du flux des lignes de courants que choisissent les porteurs quand ils passent la jonction. Ces deux résistances restent fortement couplées et dépendent du gradient de dopage et de la tension de grille. Ce couplage a été étudié par P.Keys et *al* où ils démontrent la grande complexité de la dépendance des résistances série avec le dopage [Keys00].

Seong-Dong Kim et *al* [Seon 05] ont proposé un modèle physique plus complet des résistances séries avec l'expression analytique de chacune de ses composantes sur un dispositif PDSOI. La figure II.21(a) montre une représentation schématique de ces différentes résistances présentes sur le dispositif SOI et la figure II.21(b) illustre la contribution relative de ces composantes dans la résistance du dispositif. Elle montre aussi la grande contribution des résistances liées à la siliciuration dans les résistances séries.

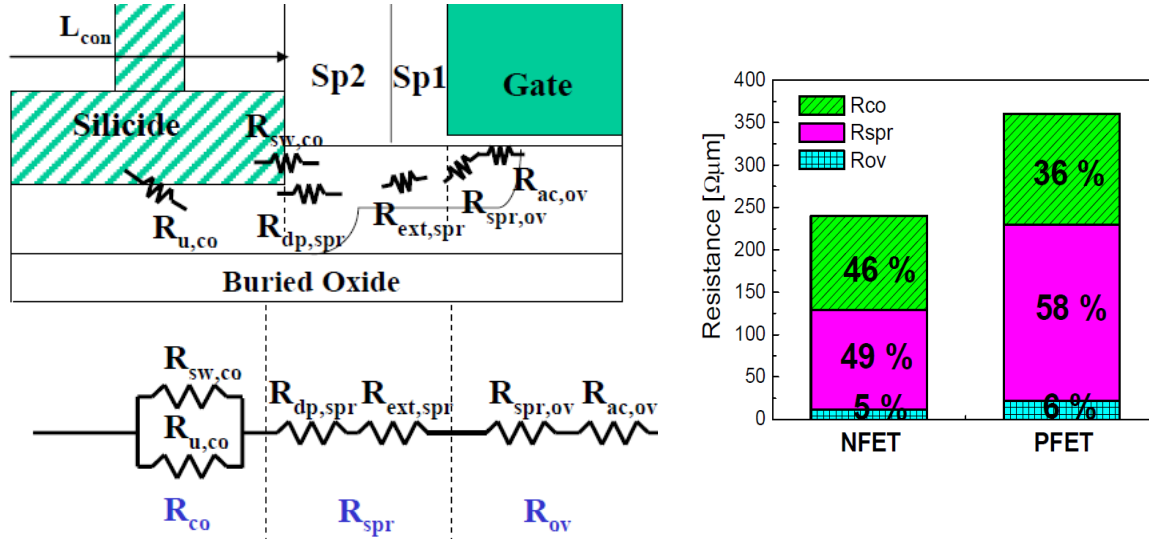


Figure II.21 (a) Représentation schématique d'une modélisation des résistances Source-drain et leurs circuits équivalents pour un dispositif FDSOI (b) Contribution relative aux différentes composantes de la résistance série [Seon 05].

Les résistances d'accès conduisent à une chute de potentiel aux bornes du transistor, et limitent le courant débité I_{on} tout en dégradant les performances du dispositif. Il est donc impératif de les extraire et de les quantifier.

La résistance totale dans un transistor est définie par [Hu87] tel que :

$$R_{tot}(V_{gs}) = \frac{V_{ds}}{I_d} = R_{ch}(V_{gt}) + R_{sd}(V_{gs}) \quad (II.22)$$

Avec R_{sd} la résistance source-drain indépendante de la longueur du canal et R_{ch} la résistance du canal qui varie avec la longueur de la grille. Plusieurs techniques permettent d'extraire les R_{sd} .

1. La méthode de $\theta_1(\beta)$ ou Fonction Y

Cette méthode [Cros05] est basée sur les extractions de θ_1 et β (équation II.23) en utilisant la fonction Y comme illustré dans le paragraphe III-2-3. Cette méthode est particulièrement intéressante car elle ne tient pas compte des résistances séries et permet d'extraire rigoureusement les paramètres de mobilité

$$\beta = \mu_0 C_{ox} \frac{W}{L} \quad (II.23)$$

$$\text{Et } \theta_1 = \theta_{1,0} + \beta R_{sd} \quad (II.24)$$

Avec $\theta_{1,0}$ le paramètre intrinsèque de réduction de la mobilité avec le champ de grille. En effectuant les mesures sur toutes les longueurs de grilles, l'extraction de la pente de la fonction $\theta_1(\beta)$ permet d'extraire la valeur des R_{sd} .

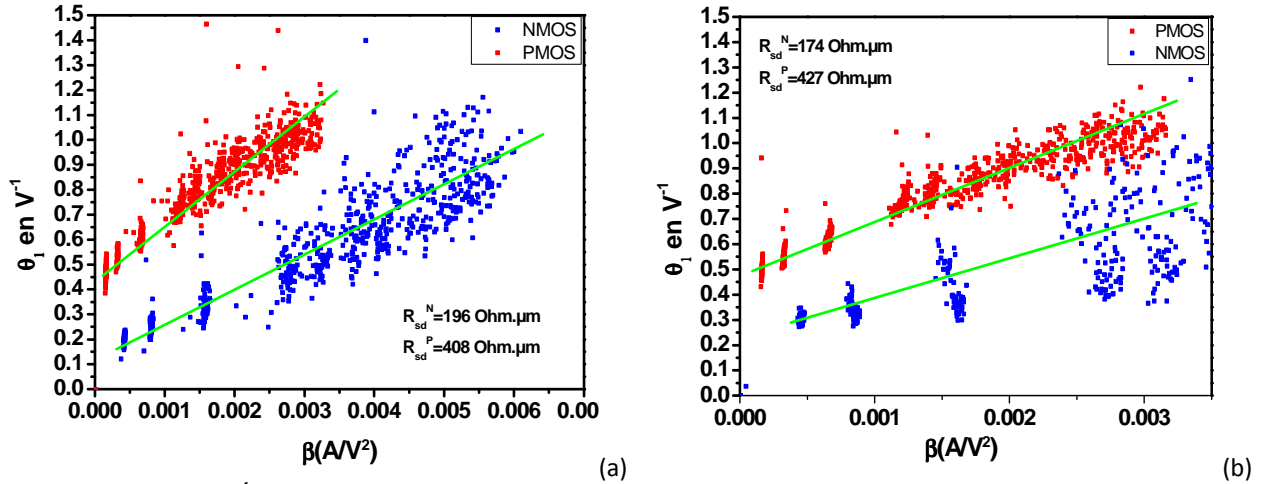


Figure II.22 Évolution du paramètre de réduction de la mobilité θ_1 vs β pour les différentes longueurs de grilles ainsi que les courbes médianes du nuage de points (N&PMOS $L_g=10\mu\text{m}$ - 40 nm $W=1\mu\text{m}$ $T_{\text{box}}=145\text{ nm}$). a) oxyde de grille HfO_2 b) oxyde de grille HfSiON

Les figures 22 (a)&(b) montrent les nuages de points correspondant aux valeurs de θ_1 en fonction de β pour deux empilements de grilles différents et pour des longueurs de grilles allant de $10\mu\text{m}$ à 40 nm avec une épaisseur de box de 145 nm . Elles montrent que la technique d'extraction $\theta_1(\beta)$ souffre d'incertitude sur l'extraction des valeurs de θ_1 (Liée à la dispersion sur les extractions) et cette incertitude est transférée à la valeur de R_{sd} .

Il est à noter aussi dans ce cas, la dépendance des R_{sd} vis-à-vis de la tension de grille (cf. Figure II.23) et où les régions des accès au dessous des espaceurs définies précédemment par R_{HDD} , R_{LDD} , restent minces et relativement résistives. Le champ de bord (fringing field) dans cette région contribue à la perturbation des lignes de courant. Cet effet est d'autant plus important que les dimensions du transistor sont réduites et spécialement sur les dispositifs à couches minces. En effet, θ_1 reste liée à la polarisation aux bornes de la grille. L'équation II.25 exprime la dépendance des R_{sd} au premier ordre en V_g [Cros05].

$$R_{sd}(V_{gt}) = R_{sd0} + \alpha_R V_{gs} \quad (\text{II.25})$$

Avec R_{sd0} la valeur de la résistance d'accès à $V_g=0\text{V}$, et α_R le coefficient de variation relative de la résistance d'accès. Cette dépendance complique l'extraction des R_{sd} , malgré les croissances épitaxiales effectuées dans les source/drain pour réduire leurs impacts.

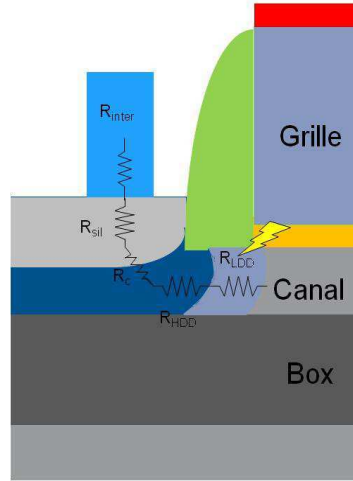


Figure II.23 Schéma qui illustre l'influence du champ créé par la grille sur les R_{sd}

2. Méthode $R_{tot}(1/\beta)$.

Cette méthode a été introduite par D.Fleury [Fleu09]. Elle a été testée sur les dispositifs à faibles longueurs de grilles sur silicium massif ainsi que sur les dispositifs FDSOI avec grande efficacité. Elle permet une extraction plus précise et plus rigoureuse des résistances séries tout en prenant en compte la dépendance de R_{sd} avec V_{gs} . La nouveauté de cette méthode provient du fait qu'elle ne dépend ni de la variation de la résistance avec L_{eff} [Taur98] et ni de la mobilité à faible champ μ_0 . Elle dépend seulement de l'extraction du paramètre β (cf. Figures II.24 (a) et (b)).

La méthode d'extraction se base sur l'équation II.26. Elle utilise les paramètres déjà extraits par la fonction Y [Ghib88] ou ξ [Fleu08] pour plus de précision.

$$R_{tot} = \frac{1}{\beta} \left(\frac{1 + \theta_1 V_{gt} + \theta_2 V_{gt}^2}{V_{gt}} \right) + R_{sd} \quad (II.26)$$

Cette technique reprend les avantages de la méthode $\theta_1(\beta)$ et celle de $R_{tot}(L_{eff})$. Toutefois, il faut noter que pour les faibles valeurs de β (donc pour les dispositifs longs) l'extraction de R_{sd} est moins précise puisque la pente de la fonction Y est faible ce qui augmente l'incertitude sur l'extraction de la tension de seuil V_{th} . Il est judicieux, donc, d'écarter les canaux longs pour réduire l'erreur.

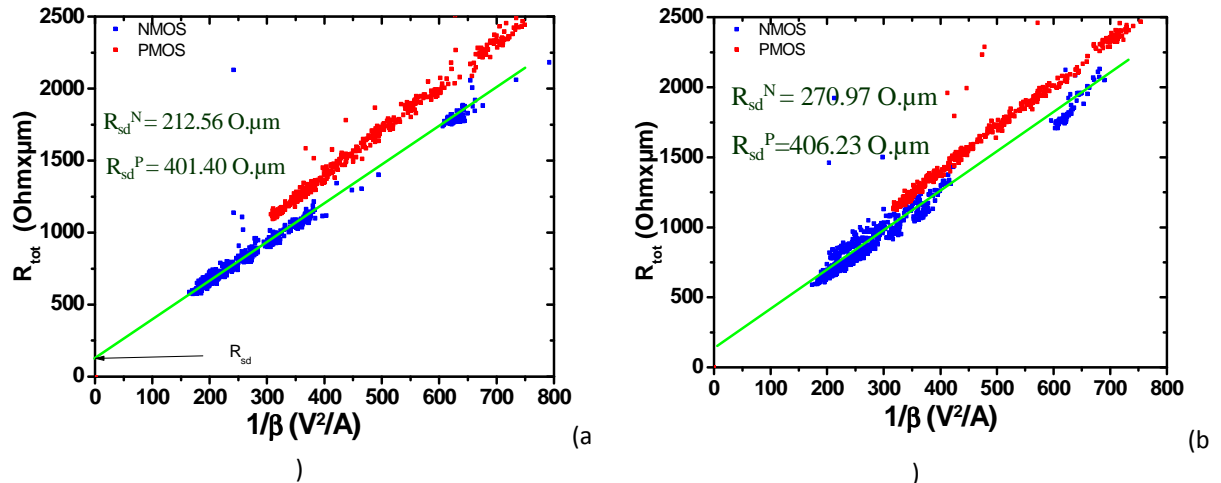


Figure II.24 Extraction des résistances séries à $V_g - V_{th} = 0.4V$ a) Oxyde HfO_2 b) Oxyde $HfSiON$ avec $T_{box} = 25\text{ nm}$, $T_{si} = 8\text{ nm}$

4) La méthode Split CV

La méthode split CV reste la méthode la plus utilisée pour extraire la mobilité effective en fonction du champ électrique effectif dans les dispositifs larges. Cette méthode, à la base, a été développée pour étudier les états d'interfaces en faible inversion [Koom73]. Elle combine deux types de mesures, une mesure capacitive et une mesure de courant. La première étape donc, concerne la mesure de la capacité grille-canal C_{gc} et ceci en connectant la borne *High* du capacimètre (HP 4284 LCR meter) à la grille et source-drain connectée ensemble sur le *Low*, la prise bulk étant connectée à la masse (Figure II.25.(a)).

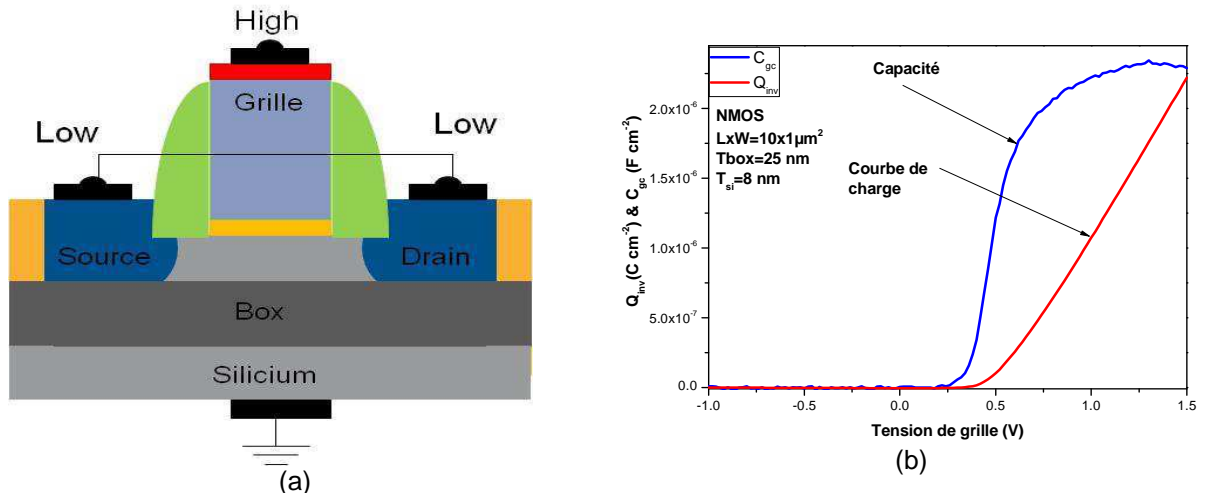


Figure II.25 (a) Figure illustrant le schéma de connexion du transistor pour la mesure de la capacité grille-canal C_{gc} . (b) courbe de la capacité C_{gc} et la charge d'inversion Q_{inv} normalisées pour un dispositif FD SOI

L'intégration de la capacité C_{gc} entre la valeur de $V_{g,acc}$, valeur de la capacité (théoriquement égale à zéro) V_g en forte inversion nous permet d'extraire la charge d'inversion dans le canal (cf. Figure II.25 (b)) en utilisant l'équation II.27.

$$Q_{inv}(V_g) = \int_{V_{g,acc}}^{V_g} C_{gc}(v) dv \quad (II.27)$$

La deuxième étape consiste en la mesure du courant linéaire $I_d(V_g)$ débité par le transistor. D'où

$$\mu_{eff} = \frac{L_{eff}}{W_{eff}} \frac{I_d}{Q_{inv} V_d} \quad (II.28)$$

L'extraction de la charge de déplétion, du fait de sa faible valeur (à cause de la faible valeur du dopage $\sim 10^{13}$ à 10^{15} cm^{-3}) comparée à la charge d'inversion dans les dispositifs FDSOI, est une difficulté. Du moins sur les structures capacitives classiques. Cette difficulté provient du fait que l'on n'a pas accès à la mesure de capacité grille-bulk C_{gb} du fait de la présence du Box. Ceci pose problème pour l'extraction de la valeur de la tension de bande plate V_{fb} indispensable pour déterminer avec précision la charge de déplétion ainsi que le champ effectif. Il semble donc judicieux, de tracer la mobilité en fonction de la charge d'inversion Q_{inv} .

La figure suivante montre l'évolution de la mobilité effective en fonction de la charge d'inversion. Cette mobilité est extraite par deux méthodes différentes, le split CV en Noir et celle extraite en utilisant les paramètres définis par la méthode Y en rouge. Ce graphe montre que les deux méthodes donnent des valeurs de mobilité similaire à fort champ. Elle démontre néanmoins les limites de la technique du split CV puisqu'elle induit une mobilité nulle à faibles champs ce qui est faux.

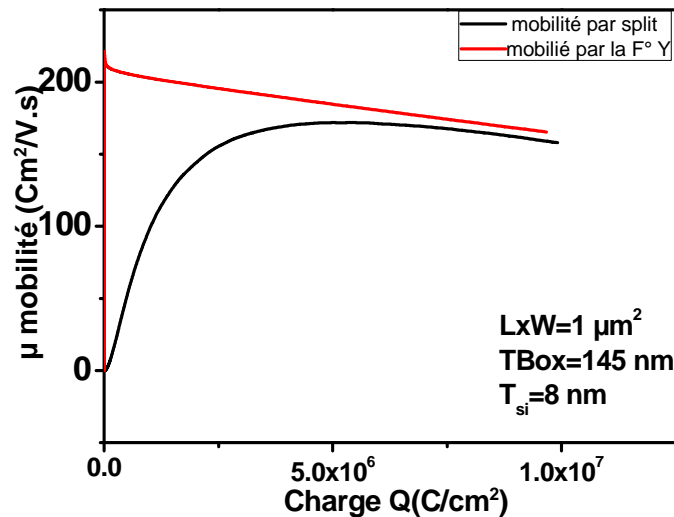


Figure II.26 Figure de comparaison entre les courbes de mobilité extraite par la méthode split CV et la fonction Y

Quelques modèles dans la littérature proposent l'expression du champ effectif transverse dans les dispositifs FD SOI [Mazh 93] [Hyeo95]. Ces modèles, prennent aussi en compte l'effet de la polarisation face arrière ou "Back Biasing" donc l'effet du champ créé en face arrière.

$$E_{eff} = \frac{Q_{dép} + \eta Q_{inv}}{\epsilon_{si}} + E_b \quad (II.29)$$

$$\text{Avec } E_b = \frac{C_{si} C_{Box}}{(C_{si} + C_{Box}) \epsilon_{si}} (2\phi_F - V_g^{back} + V_{fb}^{back}) \quad (II.30)$$

Où $Q_{dép} = q \cdot N_a \cdot t_{si}$ est la charge de déplétion qui reste faible et E_b le champ électrique transverse crée à l'interface Box/film de Silicium. C_{si} , C_{Box} correspondent respectivement à la capacité du film du silicium et de l'oxyde enterré, V_{fb}^{back} est la tension de bande plate face arrière. Le facteur η est un paramètre empirique. Il rend compte de l'étalement de la couche d'inversion dans le silicium et peut être considéré comme un barycentre électrostatique propre à la couche d'inversion. Il est égal à $\frac{1}{2}$ pour les électrons et $\frac{1}{3}$ pour les trous dans le cas du silicium (100) à la température ambiante [Emra94]. Des études ont été réalisées sur l'extraction de ce paramètre sur les dispositifs FDSOI, facteur égal à 0.6–0.7 pour les électrons et 0.3–0.4 pour les trous [Benna 09]. Son extraction repose sur la sensibilité de la mobilité effective face avant avec la tension face arrière, où

$$\eta = \frac{R}{1 + R} \quad (II.31)$$

$$\text{Avec } R = \frac{C_b}{C_{ox}} \frac{\partial \mu_{eff} / \partial V_{gfront} |_{V_{gBack}}}{\partial \mu_{eff} / \partial V_{gBack} |_{V_{gfront}}} \quad (II.32)$$

$$C_b = \frac{C_{si} C_{Box}}{C_{Box} + C_{si}} \quad (II.33)$$

La figure II.27 montre l'évolution de la mobilité effective en split CV sur un dispositif (avec un oxyde de grille SiO₂ épais de 4nm (GO2)) de grande dimension où l'on observe l'effet de la polarisation face arrière sur la mobilité. Cette partie sera discutée plus en détail dans le chapitre IV.

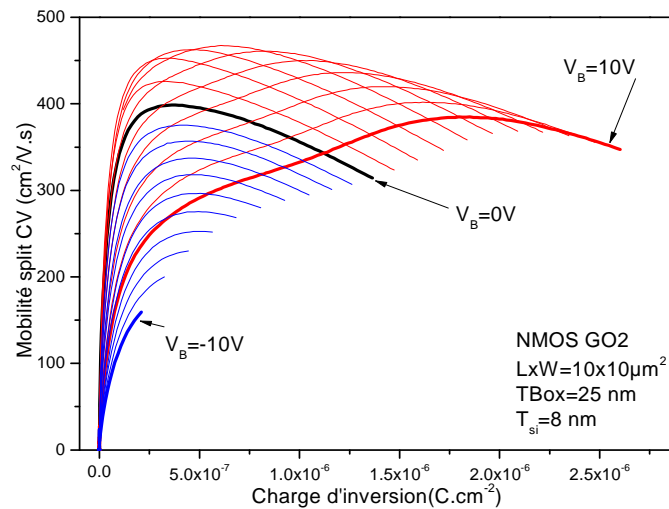


Figure II.27 Mobilité effective en fonction de la tension face arrière V_B (-10 à 10 V avec un pas de 1 V)

5) Split CV sur canaux courts

Cette approche a été introduite par K.Romanjek [Roma04]. Elle permet d'utiliser la méthode de split CV initialement dédiée aux grands dispositifs. Toutefois, l'application de cette technique nécessite en premier lieu l'extraction de la longueur effective de grille sur les canaux courts (Cf paragraphe III-8) et ensuite soustraire l'influence des capacités parasites. La seule contrainte de cette méthode réside dans la sensibilité des instruments de mesures à mesurer avec précision la valeur de la capacité sur des faibles surfaces. Des structures spéciales dédiées à l'extraction de la longueur effective (cf. Figure II.33) ont été mesurées. Ce sont des capacités montées en parallèles pour avoir une plus grande surface de mesure (capacités inter-digitées).

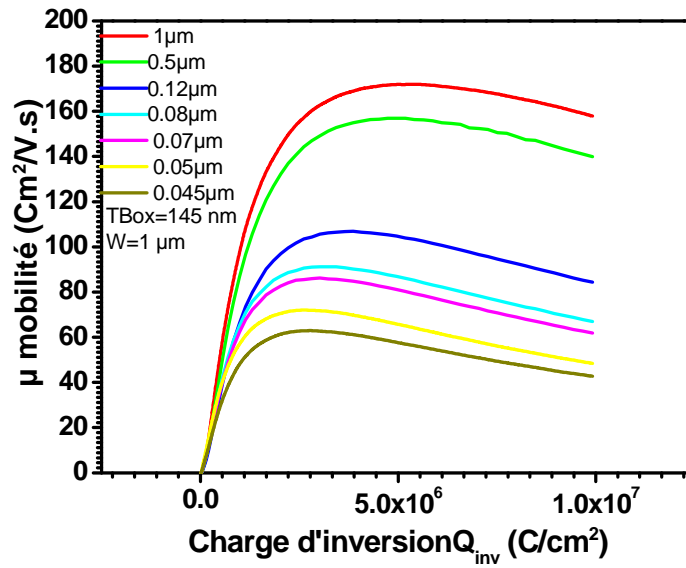


Figure II.28 Mobilité split CV pour des canaux courts

6) Effets de canaux courts

Ce phénomène, comme son nom l'indique, est principalement dû à la réduction des dimensions du transistor et la proximité des jonctions source et drain ainsi que l'affaiblissement du contrôle de la grille sur le potentiel et le flux de courant dans le canal (cf. chapitre I paragraphe III-4). Il existe des modèles simples qui permettent de traduire l'impact de la réduction d'échelle en paramètre électrique [Skot88]. Ce modèle permet de donner les expressions du SCE et DIBL [Skot00] comme suit :

$$SCE = 0.64 \frac{\epsilon_{si}}{\epsilon_{ox}} \left[1 + \frac{\chi_j^2}{L_{eff}^2} \right] \frac{t_{ox}}{L_{eff}} \frac{t_{dep}}{L_{eff}} V_{bi} = 0.64 \frac{\epsilon_{si}}{\epsilon_{ox}} EIV_{bi} \quad (II.34)$$

$$DIBL = 0.8 \frac{\epsilon_{si}}{\epsilon_{ox}} \left[1 + \frac{\chi_j^2}{L_{eff}^2} \right] \frac{t_{ox}}{L_{eff}} \frac{t_{dep}}{L_{eff}} V_{ds} = 0.8 \frac{\epsilon_{si}}{\epsilon_{ox}} EIV_{ds} \quad (II.35)$$

Avec χ_j l'épaisseur de la jonction source et drain, L_{eff} la longueur effective de grille, t_{dep} la profondeur de pénétration du champ crée par la grille sous le canal, t_{ox} l'épaisseur de l'oxyde et V_{bi} la différence de potentiel intrinsèque de la jonction source/canal. Le paramètre EI est

appelé facteur d'intégrité électrostatique (Electrostatic Integrity) et dépend de la géométrie du dispositif et correspond à la mesure du champ et de la manière dont il réagit avec la tension de drain. Il démontre aussi que la réduction de la profondeur de jonction source-drain et l'épaisseur de l'oxyde de grille contribue à la réduction de ces effets parasites.

Ces équations nous permettent aussi d'exprimer d'une autre manière la valeur de la tension de seuil qui peut être calculée avec l'équation suivante.

$$V_{th} = V_{th,long} - SCE - DIBL \quad (II.36)$$

Avec $V_{th,long}$ la tension de seuil pour un transistor avec une grande longueur de grille. Cette équation exprime aussi, l'évolution de cette tension qui tend à diminuer avec ces effets parasites.

L'équation II.37 exprime le facteur d'intégrité électrostatique pour les transistors FD SOI [Skot04] où t_{Box} est l'épaisseur de l'oxyde enterré et t_{si} l'épaisseur du film de silicium. Cette équation démontre que la réduction de l'épaisseur du film de silicium et l'épaisseur de Box contribue en la diminution de ces phénomènes parasites.

$$EI = \left[1 + \frac{t_{si}^2}{L_{eff}^2} \right] \frac{t_{ox}}{L_{eff}} \frac{t_{si} + \lambda t_{Box}}{L_{eff}} \quad (II.37)$$

7) L'extraction de DIBL

Ce phénomène est dû à l'augmentation linéaire du potentiel de surface du côté de la source avec V_d [Fikr94] tel que :

$$\Delta \psi_s = DIBL.V_d \quad (II.38)$$

Cette variation peut être équivalente à la variation de tension de seuil tels que :

$$\Delta V_{th} = -DIBL.\Delta V_d \quad (II.39)$$

Ainsi, on peut définir

$$DIBL(SUnité) = \frac{V_{th}|_{V_d=V_1} - V_{th}|_{V_d=V_2}}{V_1 - V_2} \quad (II.40)$$

Avec V_1 et V_2 les tensions de polarisation du drain en linéaire et saturée.

L'augmentation du potentiel sous l'effet de la polarisation du côté du drain va induire une chute de la tension de seuil en régime de saturation. Ce phénomène devient d'autant plus important qu'on réduit les dimensions du transistor comme le montre la figure II.29 qui illustre le décalage de la tension de seuil entre les deux régimes pour le transistor court. En revanche, pour les canaux longs la barrière de potentiel du côté de la source reste inchangée ce qui permet d'avoir un courant de drain équivalent en dessous du seuil.

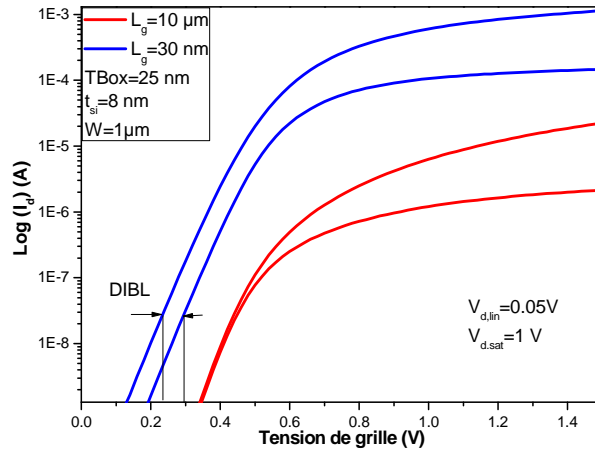


Figure II.29 Illustration de l'effet du DIBL sur les courbes de courants $I_d(V_g)$ sur les canaux longs et courts

Dans ce travail de thèse, le DIBL a été extrait à courant constant pour toutes les longueurs de grilles. Il représente la différence entre les deux valeurs de la tension de grille correspondant à une même valeur de courant en régime linéaire et saturé comme illustré sur la figure II.29

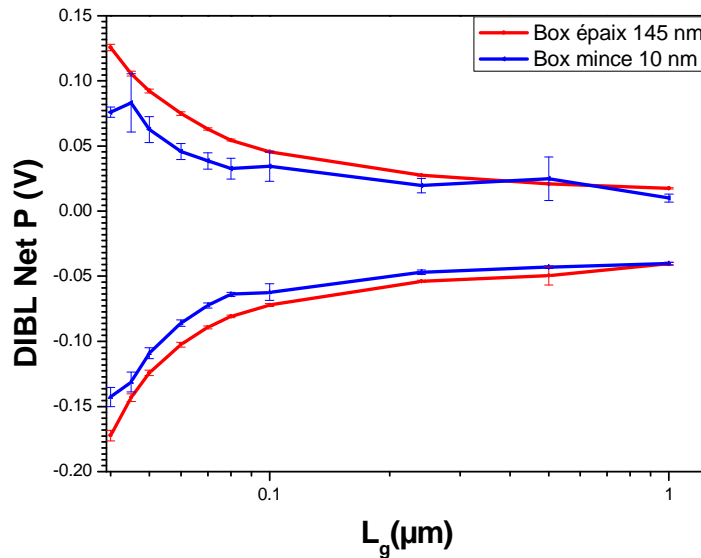


Figure II.30 Évolution du DIBL avec la longueur de grille et pour deux épaisseurs de Box pour NMOS et PMOS

Néanmoins, ce facteur peut être aussi extrait en faisant la différence entre la tension de seuil en régime linéaire et saturé tels que

$$DIBL = V_{th,lin} - V_{th,sat} \quad (II.41)$$

Où $V_{th,sat}$ est la tension de seuil en saturation. Il correspond à la tension de grille du maximum de la dérivée du courant de drain en régime de saturation.

La figure 30 montre l'augmentation du DIBL avec la réduction des longueurs de grille. Elle met en évidence que la réduction de l'épaisseur du Box permet de réduire le DIBL comme

on l'a démontré précédemment avec l'équation II.37. Concrètement le grand intérêt des dispositifs FD SOI est de contrôler physiquement la zone de déplétion en réduisant l'épaisseur du film de silicium au maximum sans avoir recours au dopage du canal. L'amincissement du film de silicium permet de limiter l'extension des lignes de potentiel dans le canal et donc de réduire par conséquent les effets canaux courts.

De nouveaux leviers technologiques sont proposés pour repousser les limites du FD SOI et réduire les effets de canaux courts comme le Ground Plane GP ou plan de masse [Wong 98] [Erns 99] qu'on va expliciter plus loin dans ce manuscrit.

8) Extraction de la longueur effective L_{eff}

L'extraction de la longueur effective ou longueur électrique acquiert une grande importance. La juste estimation de sa valeur permet une extraction plus rigoureuse de la valeur de la mobilité des porteurs dans le canal ainsi que des autres paramètres électriques introduits précédemment. La figure suivante expose les différentes longueurs qui caractérisent l'étendue de la grille.

- L_m : la longueur de grille dessinée sur le masque par la lithographie.

- L : la longueur physique de la grille.

- L_{met} : la longueur métallurgique qui sépare les extensions LDD de source et drain, quand ces derniers ne sont pas polarisés.

- L_{eff} : la longueur effective ou longueur électrique caractéristique de l'étendue moyenne de la charge d'inversion.

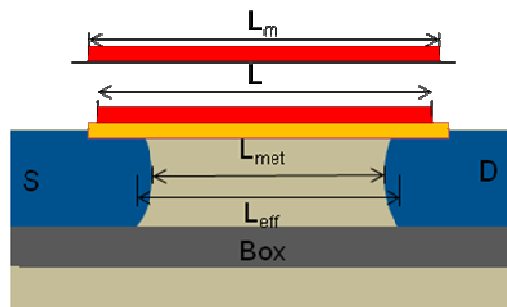


Figure II.31 Illustration des différentes longueurs qui peuvent être définies dans l'architecture du transistor MOS

1. Méthode shift et Ratio

Plusieurs méthodes sont proposées pour extraire la longueur effective, une partie de ces méthodes se basent sur la mesure du courant $I_d(V_g)$ comme la méthode Shift et Ratio [Taur 92] [Taur00] ou celle qui se base sur la résistance totale [Yama 98].

La méthode shift et Ratio est basée sur le fait que la résistance du canal est proportionnelle à la longueur du canal pour les faibles valeurs de V'_{ds} (régime linéaire).

$$R_{ch} = \frac{V'_{ds}}{I_{ds}} = \frac{L_{eff}}{\mu_{eff} C_{ox} (V_g - V_{th})} \quad (II.42)$$

Avec V'_{ds} la tension aux bornes de la portion du canal entre source et drain, et la longueur effective est déterminée suivant la relation suivante :

$$L_{eff} = L_m - \Delta L \quad (II.43)$$

2. Technique de $\Delta L(L_{ma})$

La longueur effective est extraite aussi à partir des mesures capacitives (Figures II.32). Ces mesures sont effectuées sur des structures spéciales dédiées à l'extraction de la longueur effective (Structures avec l'association de N transistors montés en parallèle pour avoir une plus grande surface capacitive). La figure II.33 montre cette structure matricée qui permet d'avoir une surface équivalente pour toutes les longueurs de grilles ($N \times W \times L_{mask} \approx 100 \mu m^2$). Cependant des capacités parasites C_{par} (équation II.45) intrinsèques aux transistors, du moins en accumulation et déplétion, faussent ces mesures [Bena10]. Il a donc fallu corriger ces effets. Cette partie sera développée plus en détail dans le chapitre III.

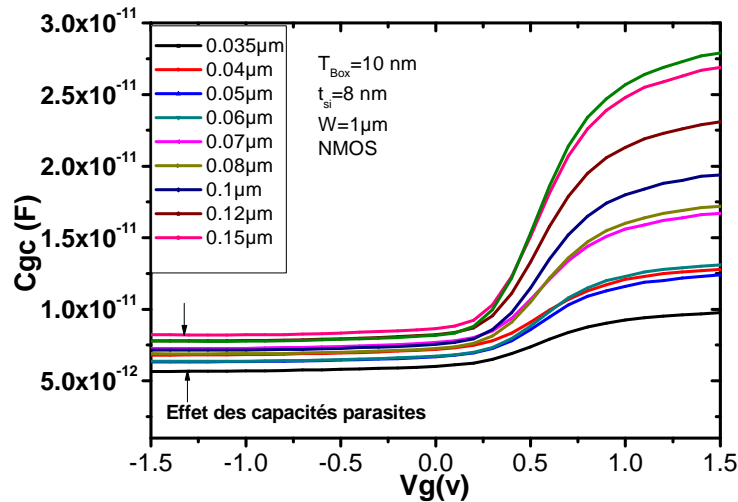


Figure II.32 Courbes de C_{gc} pour différentes longueurs de grilles

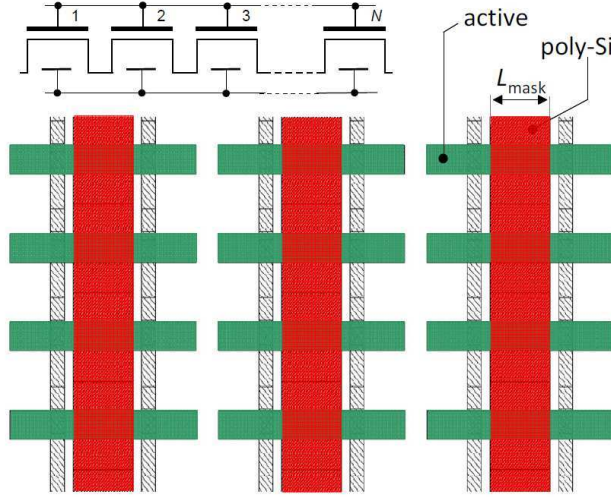


Figure II.33 Structures de tests matricées, utilisées pour mesurer L_{eff} de manière automatique en utilisant une matrice de connexion. La structure présentée ici est composée de 1980 transistors de dimensions $L_{mask}=0.15 \mu m$ et $W_{mask}=0.38 \mu m$, fournissant une surface équivalente de $113 \mu m^2$ [D.Fleury]

Cette méthode se base sur l'approximation suivante $L_{eff}=L_m$ pour une grande longueur de l'ordre de $1 \mu m$ et qu'on appellera L^{ref} . Cette longueur sera prise comme référence dans nos calculs de la longueur effective [Fleu08]. L'équation suivante est la base de cette technique.

$$L_{eff}(V_{gt}) = L^{ref} \frac{C_{int}(V_{gt})}{C_{int}^{ref}(V_{gt})} \quad (II.44)$$

$$\text{Avec } C_{int}(V_{gt}) = C_{gc,mes}(V_{gt}) - C_{par} \quad (II.45)$$

9) Tension de seuil V_{th}

La tension de seuil est la tension à partir de laquelle on passe du régime de faible inversion à forte inversion. Elle représente concrètement la tension de basculement entre l'état bloqué et l'état passant du transistor. Il existe plusieurs méthodes qui permettent d'extraire cette tension [Orti02] que l'on illustre dans le paragraphe III.2).

Comme on l'a bien évoqué dans le paragraphe III.6)&7) la réduction des effets de canaux courts constitue un des grands avantages des dispositifs FD SOI. Ce gain en performances se traduit directement sur l'évolution du paramètre "tension de seuil". Les figures 34 (a)&(b) montrent l'évolution du V_{th} en régime linéaire et saturé avec la longueur de grille. Elles montrent aussi l'impact des effets de canaux courts qui tendent à réduire la valeur de la tension de seuil pour les faibles longueurs de grilles.

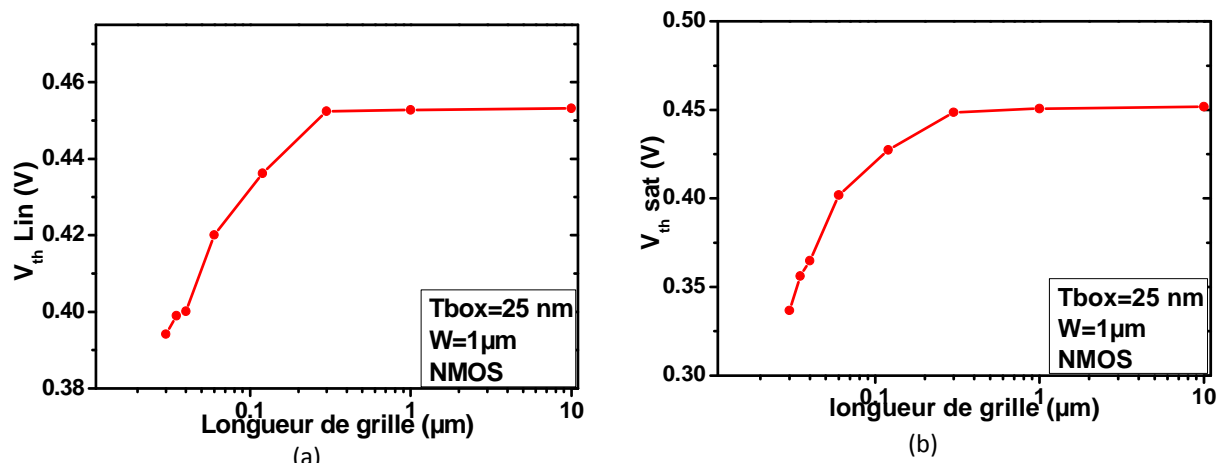


Figure II.34 Évolution de la tension de seuil avec la longueur de grille (a) en linéaire $V_d=0.025$ V (b) et en saturé $V_d=1.1$ V ($T_{si}=8$ nm et sans GP)

La tension de seuil, en général dépend énormément des facteurs tels que le dopage du canal ou l'empilement de la grille [Numa04] [Feno06] et dépend aussi dans le cas des dispositifs FD SOI de nouveaux paramètres comme l'épaisseur du film de silicium, l'épaisseur de l'oxyde enterré, plan de masse GP et tension face arrière [Numa02].

Amincir le film de silicium est un levier important qui nous permet de moduler la tension de seuil. Avec des épaisseurs du film de l'ordre de 10~5 nm on atteint une certaine limite en terme de taille de zone active et la tension de seuil devient sensible aux effets quantiques dus au confinement des porteurs dans le puits de potentiel dans lequel ils sont confinés. Ce phénomène va influencer la répartition des charges dans la couche d'inversion ce qui fait augmenter la valeur de la tension de seuil (ce phénomène apparait pour des valeurs de T_{si} inférieure à 5 nm) [Chane06].

Des problèmes peuvent apparaître aussi à la non uniformité de l'épaisseur du film de T_{si} . La fluctuation par exemple de cette épaisseur peut entraîner localement une modification du confinement et par conséquent varier la tension de seuil. Elle joue aussi sur la fluctuation du potentiel locale et impacte par conséquent la mobilité [Uchi02].

L'intégration des dispositifs FD SOI dans un circuit intégré nécessite l'ajustement simultané des tensions de seuil des dispositifs nMOS et pMOS. Par exemple, dans un circuit numérique trois types de transistors sont utilisés. Les transistors LVT pour 'Low.VT' et RVT pour 'Regular VT' et HVT pour 'High VT'. Les transistors LVT sont utilisés pour réduire le temps de propagation des chemins critiques alors que les transistors RVT et HVT sont utilisés dans le reste du circuit numérique pour minimiser la consommation. [Boeu04]

Pour ajuster et moduler ces tensions de seuil il est indispensable de trouver d'autres leviers technologiques (car pas de dopage dans le canal).

1. Plan de masse GP "Ground Plane" ou BP "Back Plane"

Bien évidemment, l'amincissement de l'oxyde enterré permet la réduction des effets de canaux courts et ceci en réduisant le couplage électrostatique latéral entre source et drain. Cette action permet aussi la modulation de la tension de seuil. En revanche, l'utilisation d'un BOX mince favorise la formation d'une zone de déplétion en dessous de ce dernier, ce qui a tendance à augmenter l'épaisseur équivalente du BOX. Cet effet parasite peut être surmonté en intégrant le GP ou plan de masse. Cette opération va limiter la pénétration du champ sous le canal ainsi que le couplage à travers le BOX [Gall06] [Feno08].

Le plan de masse est constitué d'une couche de silicium fortement dopé (entre de $1\sim5 \cdot 10^{18} \text{ cm}^{-3}$) donc conductrice. Elle est située sous l'oxyde enterré, directement sous la zone active.

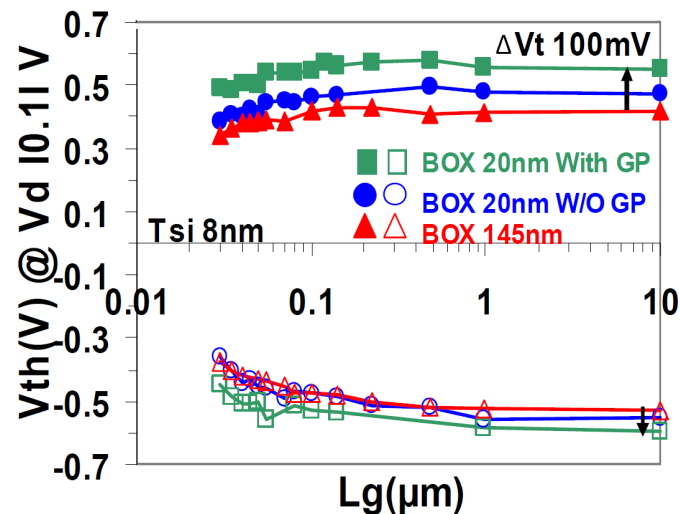


Figure II.35 Tension de seuil en fonction de la longueur de grille pour un BOX épais de 145 nm et un BOX mince de 20 nm et différent GP (nMOS & pMOS) [Feno08].

Le choix du type GP par rapport aux types du transistor est primordial. L'intégration d'un GP du type opposé au type du dopage du canal (c'est-à-dire de même type de dopage que les source-drain) permet de réduire plus efficacement les effets de canaux courts (Cf. Figure II.36 (b)). Le GP plaqué sous l'oxyde enterré va aplanir les lignes de potentiel et maintenir le canal face arrière à un potentiel constant tout en supprimant les phénomènes d'inversion de charge à l'interface canal/BOX. Cet effet a pour conséquence la modulation et l'ajustement de la tension de seuil et permet, de plus, d'avoir une meilleure pente sous le seuil (Cf. Figure II.35&36(a)). Ces figures montrent aussi l'impact de la réduction de l'épaisseur du BOX sur ces paramètres dont on voit un décalage de 50 à 100 mV entre le BOX épais et le BOX mince avec GP.

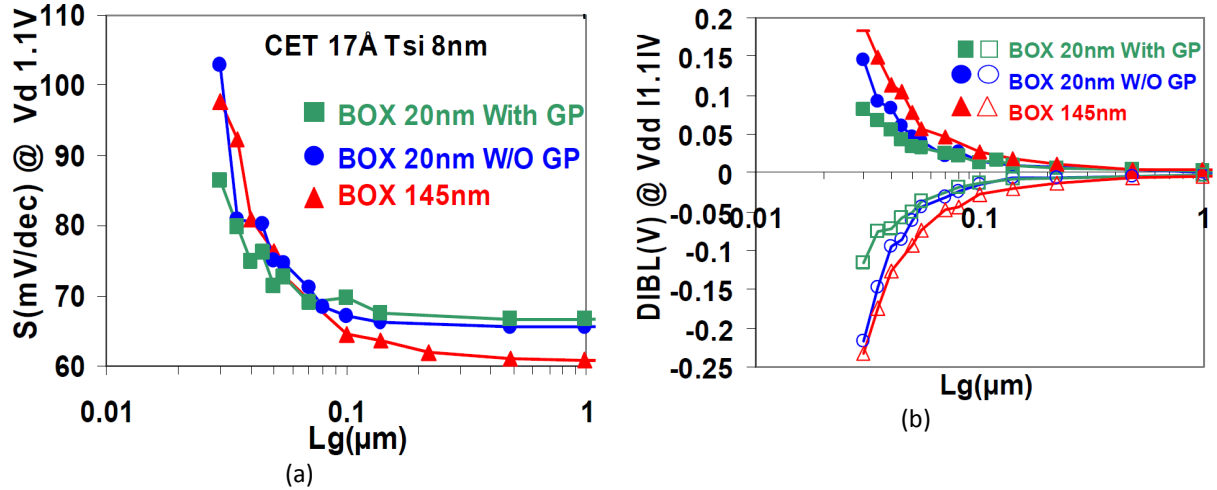


Figure II.36 (a) Evolution de la pente sous le seuil en fonction de la longueur de grille (b) évolution du DIBL avec la longueur de grille pour différentes épaisseurs de BOX et types de GP [Feno08]

Hormis les avantages évoqués précédemment le GP permet d'avoir aussi une couche de silicium presque métallique sous l'oxyde enterré et que l'on peut polariser facilement. Cependant le type du plan de masse influe sur la mobilité des porteurs dans le canal ainsi que sur les effets canaux courts. Les figures II.38 (a)&(b) montrent l'évolution de la mobilité split CV avec le type du GP. Ce plan de masse va créer un champ électrique qui va repousser ou attirer les charges d'inversion sur l'interface silicium/Oxyde avant Ce qui favorise ou contraint la mobilité des porteurs face avant. D'autre part l'utilisation d'un GP de type opposé au dopage du canal maintient le potentiel très élevé au niveau de l'interface canal/BOX (Figure II.37), (conduisant même, dans certains cas à un début d'inversion). Ceci va venir dégrader les effets de canaux courts. En revanche, un GP du même type que le dopage du canal va permettre de fortement diminuer ce même potentiel. Il est à noter que pour de faibles épaisseurs de Box (en dessous de 50 nm) le GP permet de réduire le couplage, par l'intermédiaire du BOX, entre source et drain [Feno03].

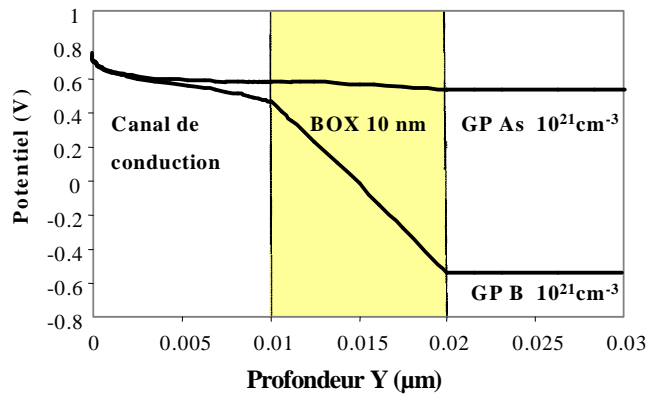


Figure II.37 Simulation TCAD : Coupe 1D de la distribution du potentiel (selon sa profondeur Y) d'un dispositif nMOS SOI FD avec GP de type N ou de type P, défini avec $L_g = 30 nm$, $T_{Si} = 10$

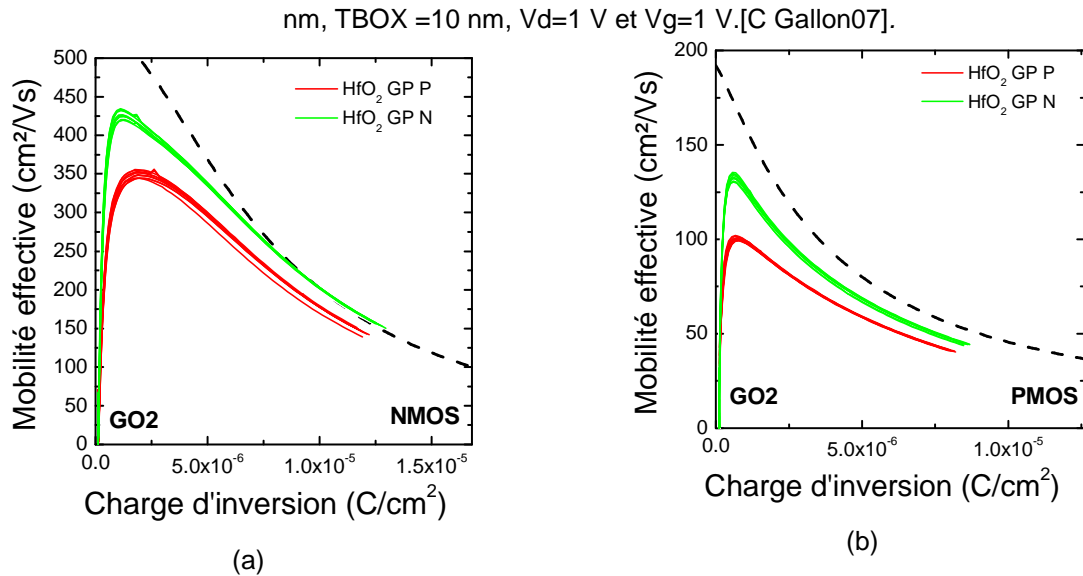


Figure II.38 Mobilité split CV avec différent type de plan de masse pour des structures GO2
 $L \times W = 10 \times 10 \mu\text{m}^2$ ($T_{\text{si}} = 8 \text{ nm}$, $T_{\text{box}} = 10 \text{ nm}$)

2. Polarisation face arrière “Back Biasing” ou RBB/FBB (Reverse /Forward Back Biasing)

Dans les structures FDSOI la caractéristique courant-tension diffère de la caractéristique conventionnelle du MOSFET Bulk et cela à cause du couplage des charges entre la face avant et la face arrière. Ce couplage qui se produit quand le film de Silicium est complètement déserté rend le courant face avant dépendant de la face arrière. Cette charge de couplage module la tension de seuil et permet aussi une variation linéaire de la tension de seuil V_{th} avec la tension face arrière [Lim84].

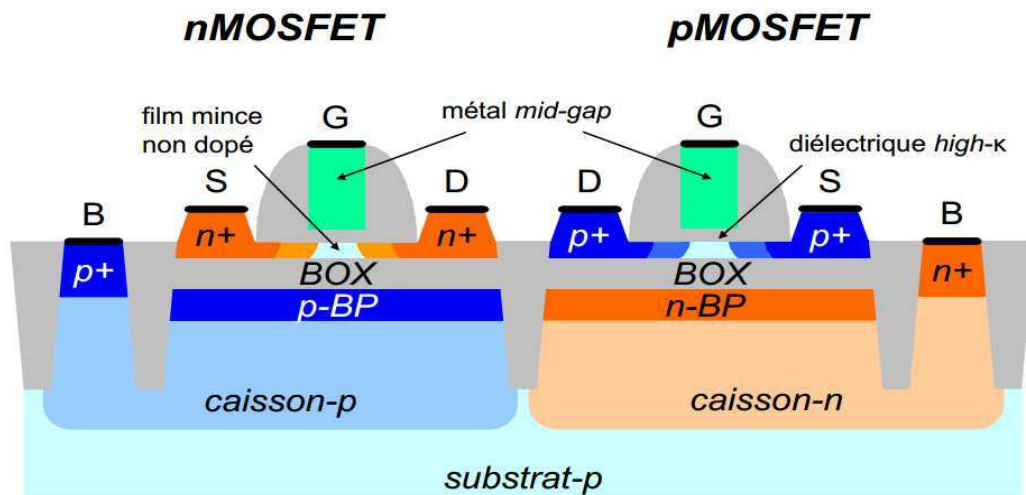


Figure II.39 Schéma structurel d'un MOS FD SOI types N et P avec une prise face arrière

La différence du courant débité entre les trois types de transistors sur silicium massif (LVT, RVT, HVT) est explicitée dans le tableau 1. On constate qu'il y a deux décades de différence pour le courant I_{off} entre chaque type de tension de seuil avec un gain de 60 % sur le courant I_{on} . Pour avoir ce panel de tension de seuil sur une même structure, on joue sur la dose du dopage du canal.

Tension de seuil		HVT	RVT	LVT
NMOS	I_{on} ($\mu A/\mu m$)	540	720	885
	I_{off} (nA/ μm)	0.035	0.45	6
PMOS	I_{on} ($\mu A/\mu m$)	305	410	500
	I_{off} (nA/ μm)	0.035	0.450	6

Tableau 1 : Courant I_{on}/I_{off} pour la technologie 28 nm sur silicium Bulk [Arna09]

En revanche, sur les dispositifs FD SOI ce dopage du canal n'est plus possible. La polarisation face arrière ou "Back Biasing" est proposée comme un deuxième levier technologique qui permet d'ajuster et de moduler la tension de seuil. En polarisant le GP à travers les caissons de même type (cf. Figure II.39) on peut appliquer une tension qui agira comme une grille arrière sur le canal. (Figures II.40 (a)&(b))

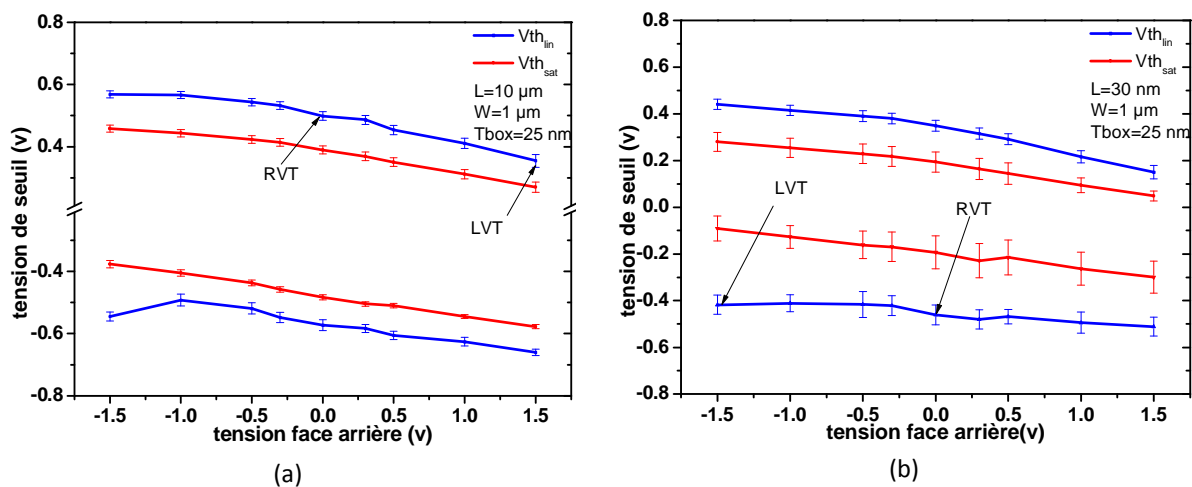


Figure II.40 Evolution de la tension de seuil avec la tension face arrière $V_{dd}=25$ mV pour N et PMOS (a) $L_g=10\mu m$ (b) $L_g=30nm$.

Le tableau II 2 résume les différentes configurations qu'on peut avoir en combinant le plan de masse et la polarisation face arrière avec une grille mid gap [Feno11]. Si pas de grille mid gap d'autres combinaisons sont possibles

	HVT ($V_b=0V$)	RVT ($V_b=0V$)	LVT
NMOS	Grille mid gap +GP-P	Grille mid gap +GP-N	Grille mid gap +GP-N @ $V_b = V_{dd}$
PMOS	Grille mid gap +GP-N	Grille mid gap +GP-P	Grille mid gap +GP-P @ $V_b = V_{dd}$

Tableau II.2 Possibilités pour un dispositif Multi- V_{th}

10) Influence de la polarisation face arrière sur la mobilité

Dans une structure FDSOI, il y a trois mécanismes distincts qui contribuent au courant de drain, il existe l'inversion face avant et face arrière aux interfaces canal-grille en face avant et canal-oxyde enterré en face arrière [Coli90]. Et la conduction du body dans la région centrale du canal non dopé.[Coli90]

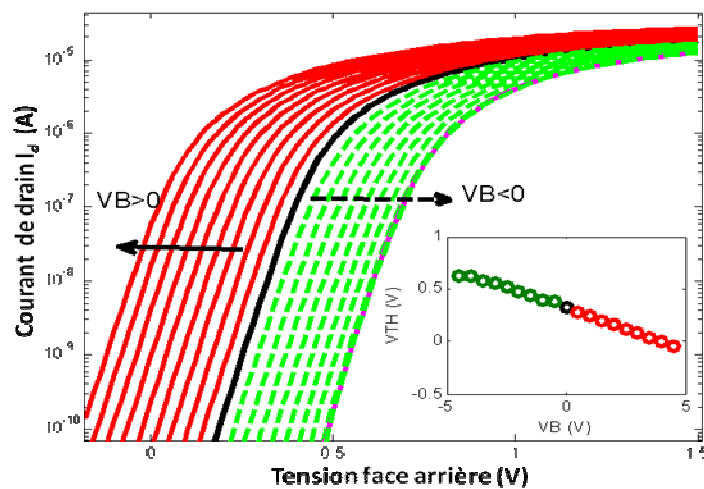


Figure II.41 Evolution du courant de drain I_d en fonction de la polarisation face arrière NMOS $L \times W = 10 \times 10 \mu m^2$ pour V_b allant de -8 à 8 V ($t_{si} = 8$ nm, $T_{box} = 25$ nm et sans GP)

L'augmentation ou la diminution du courant débité par le drain est en partie la conséquence de la variation de la mobilité des porteurs dans le canal avec la polarisation face arrière. Cette dernière influe sur le barycentre des charges dans le canal de conduction en régime linéaire (Figure II.42).

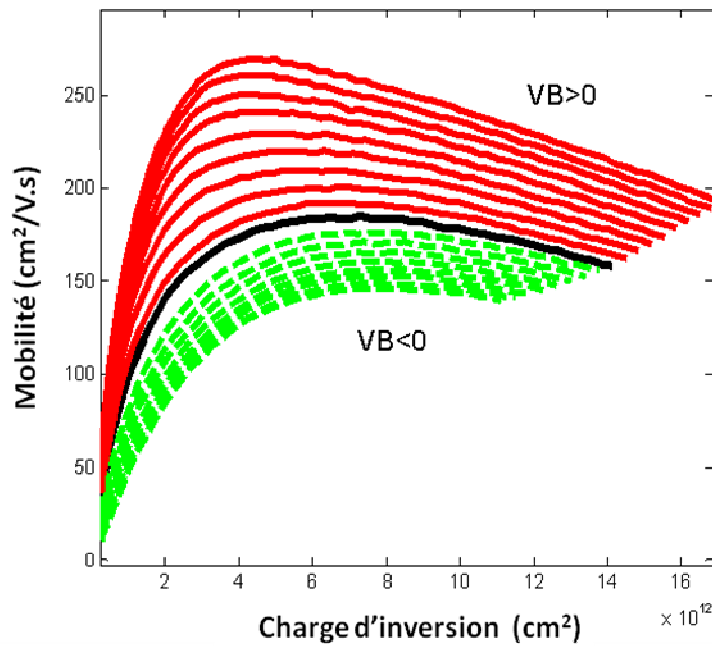


Figure II.42 Evolution de la mobilité Split CV pour une structure GO1 FD SOI nMOS LxW=10x10 μm^2 ($t_{\text{si}}=8\text{ nm}$, $T_{\text{box}}=25\text{ nm}$ et sans GP)

IV. Conclusion

Ce deuxième chapitre avait pour but de présenter le transistor MOS FD SOI, ses équations de base et la façon d'en extraire les paramètres électriques. Nous avons présenté en premier lieu la différence entre cette structure et le transistor silicium Bulk ainsi que son principe de fonctionnement. Nous avons pointé les avantages d'un tel dispositif. Ensuite, nous nous sommes penchés sur les effets qu'entraîne la miniaturisation et comment notre transistor permet de réduire son impact sur les performances. Nous avons regardé aussi l'effet du plan de masse "Ground Plane" et la polarisation face arrière "Back Biasing" sur les différents paramètres du transistor comme le DIBL, la tension de seuil V_{th} et la mobilité des porteurs dans le canal.

Finalement, l'architecture à film mince, BOX mince et GP semble très prometteuse en vue de tenir les spécifications des prochaines générations des transistors à basse consommation (LP).

Références

- [Arna09] F. Arnaud et al., "Competitive and Cost Effective high-k based 28nm CMOS Technology for Low Power Applications" Electron Devices Meeting (IEDM), IEEE International, pp. 651-654, (2009).
- [Bale94] F.Balestra, J.Jomaah, G. Ghibaudo, O.Faynot, A-J.Auberton-Hervé and B.Giffart. "Analysis of the latch and breakdown phenomena in N and P channel thin film SOI MOSFET's as a function of temperature" Electron Devices Transactions . Volume: 41, Issue: 1 Page(s): 109- 112, (1994).
- [Benna09] K. Bennamane, G. Ghibaudo and A. Benfdila "Method for extraction of h parameter characterizing μ_{eff} against E_{eff} curves in FD-SOI Si MOS devices". Electronics Letters. Vol. 45, no.12, pp. 655-657, (2009).
- [Boeu04] F.Boeuf, F,Arnaud, F. Basso, M.T. Sotta, D. et al "A conventional 45nm CMOS node low-cost platform for general purpose and low power applications" Electron Devices Meeting, IEDM Technical Digest. IEEE International Page(s): 425-428, (2004).
- [Brue95] M Bruel et al "Silicon on insulator material technology" Electronics Lett. Vol 31 p 1201, (1995)
- [C.Gallon07] Thèse de Claire Gallon "Architectures avancées de transistors CMOS SOI pour le noeud 32 nm et en deçà :films ultra-fins, contraintes mécaniques, BOX mince et plan de masse" INPG Juin (2007).
- [Cell03] G. K. Celler and S. Cristoloveanu, "Frontiers of silicon-on-insulator" Journal of Applied Physics Vo 93, N° 9 (2003)
- [Chane06] D. Chanemougame, A. Poncet, S. Monfray, A. Souifi, H. Bourdon, A. Talbot et al. "2D Poisson-Schrödinger simulations in ultra-thin silicon on nothing devices :quantum effects impact evaluation" IEEE Int. SOI conference, pp.77, (2006).
- [Choi91] J.Y.Choi and J.G Fossum "Analysis and control of floating body effects in fully depleted SOI MOSFET's" Electron Devices, IEEE Transactions on 1991. Volume: 38, Issue: 6 Page(s): 1384-1391, (1991).
- [Coli90] J.-P. Colinge, "Conduction mechanisms in thin-film accumulation- mode SOI p-channel MOSFET's," IEEE Trans. Electron Devices, vol. 37, no. 3, pp. 718-723, (1990).
- [Cris95] S.Cristoloveanu and S. Williams "Electrical characterization of SOI Materials and devices" Kluwer Norwell (1995).

- [Cros05] Antoine Cros, Samuel. Robin Cerutti, Philippe “New extraction method for gate bias dependent series resistance in nanometric double gate transistors”. Microelectronic Test Structures, ICMTS. Proceedings of the 2005 International Conference on Page(s): 69- 74 (2005).
- [D.Fleury09] Contribution à l'étude expérimentale du transport dans les transistors de dimension déca-nanométrique des technologies CMOS sub 45 nm. Manuscrit de thèse , Thèse INPG (2009).
- [Emra94] A. Emrani, G. Ghibaudo, F. Balestra “On the universal electric field dependence of the electron and hole effective mobility in MOS inversion layers” Solid-State Electronics Volume 37, Issue 1, Pages 111–113, January (1994).
- [Erns99] T. Ernst and S. Cristoloveanu, “The ground-plane concept for the reduction of short-channel effects in fully depleted SOI devices”, Electrochemical Society Proceedings 99-3, p. 329-334, (1999).
- [Feno03] C. Fenouillet-Béranger, T.Skotnicki, S. Monfray, N.Carriere and F.Boeuf, “Requirements for ultra-thin-film devices and new materials on CMOS Roadmap” IEEE International SOI conference, pp.145, (2003).
- [Feno06] C. Fenouillet-Béranger, C. Gallon, A. Vandooren, D. Aimé, L. Tosti, F. Leverd et al., “First ultra-thin film FDSOI devices with CMP-less Totally Silicided (TOSI) gate integration”, ESSDERC proceedings, pp.158, (2006).
- [Feno08] C. Fenouillet-Beranger, et al “FDSOI devices with Thin BOX and Ground plane integration for 32nm node and below” Solid-State Device Research Conference, ESSDERC. 38th European Page(s): 206- 209, (2008)
- [Feno11] C.Fenouillet-Beranger et al “Parasitic bipolar impact in 32nm undoped channel Ultra-Thin BOX (UTBOX) and biased Ground Plane FDSOI high-k/metal gate technology” Solid-State Device Research Conference (ESSDERC), Proceedings of the European Page(s): 111 - 114 (2011)
- [Fikr94] W. Fikry, G. Ghibaudo and M. Dutoit “Temperature dependence of drain-induced barrier lowering in deep submicrometre. MOSFETs” ELECTRONICS LETTERS Vol. 30 No 1, May (1994)
- [Fleu08] D. Fleury, A. Cros, H. Brut et G. Ghibaudo. “New Y-function-based methodology for accurate extraction of electrical parameters on nano-scaled MOSFETs”. Microelectronic Test Structures, ICMTS IEEE International Conference, on pages 160–165, March (2008).
- [Fleu09] D. Fleury, A. Cros, G. Bidal, J. Rosa et G. Ghibaudo. “A New Technique to Extract the Source/Drain Series Resistance of MOSFETs”. Electron Device Letters, IEEE, vol. 30, no. 9, pages 975–977, Sept. (2009)

- [Gall06] C. Gallon, C. Fenouillet-Beranger, A. Vandooren, F. Boeuf, S. Monfray, F. Payet, S. Orain, V. Fiori, F. Salvetti, N. Loubet, C. Charbuillet, A. Toffol "Ultra-thin fully depleted SOI devices with thin BOX, Ground Plane and strained liner booster" International SOI Conference, IEEE pages 17-18, (2006).
- [Ghib88] G. Ghibaudo, "New method for the extraction of MOSFET parameters" Electronics Letters, vol.24, no. 9, p. 543, (1988).
- [Hafe90] I Hafez, G.Ghibaudo and F.Balestra, "Analysis of kink effect in MOS transistor" Electron Devices, IEEE Transactions on pp. 818- 821, (1990).
- [Hame86] M. F. Hamer, "First order parameter extraction on enhancement silicon MOS transistors", Solid-State and Electron Devices, IEEE Proceedings I Volume: 133, Issue: 2 Page(s): 49- 54 (1986)
- [Hube10] Alexandre Hubert, Maryline Bawedin, Georges Guegan, Thomas Ernst, Olivier Faynot, Sorin Cristoloveanu "SOI 1T-DRAM cells with variable channel length and thickness: experimental comparison of programming mechanisms" Solid-State Electronics Volumes 65–66, Pages 256–262 , November–December (2011).
- [Hu87] G.J. Hu, C. Chang et Y.-T. Chia. "Gate-voltage-dependent effective channel length and series resistance of LDD MOSFETs". IEEE Transactions on Electron Devices, vol. ED-34, no. 12, Pages 2469 – 75, (1987)
- [Hyeo95] S Jin-Hyeok Choi Young-June Park,Hong-Shick Min Baquer Mazhari and bimitris E. Ioannou "Electron Mobility Behavior in Extremely Thin SOI MOSFET" IEEE Electron Device Letters, Vol. 16, No. 11, November (1995)
- [Keys00] Keys P,Gossmann H.-J,NG K. K, Rafferty C. S, "Series resistance limits for 0.05 μm MOSFETs Super lattices and Microstructures" Volume 27, pp. 125-136 (2000).
- [Koom73] Koomen.J "Investigation of the MOS channel conductance in weak Inversion" Solid-State Electronics Volume 16, Issue 7, Pages 801–810 , July (1973)
- [Kuo.J01] James B. Kuo, Shih-Chia Linpage. Book "Low-voltage SOI CMOS VLSI devices and circuits" John Wiley & Sons, 1 oct. (2001)
- [Lim84] H.-K. Lim and J. Fossum, "Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's" IEEE Transactions on Electron Devices, vol. 30, no. 10, pp. 1244 – 1251, (1983)
- [Liu11] Q. Liu et al., "Impact of Back Bias on Ultra-Thin Body and BOX (UTBB) Devices" Symposium on VLSI Technology Digest of Technical Papers, pp. 160-161. (2011)

- [Mazh93] Mazhari, B. Ioannou, D.E. "Surface Potential at Threshold in Thin-Film SOI MOSFET's" *Electron Devices, IEEE Transactions on* Volume: 40, Issue: 6 Page(s): 1129-1133, (1993).
- [McLa95] P. K. McLarty et al. "A simple parameter extraction method for ultra – thin oxide MOSFETs" *Solid State Electronics*, vol.38, no.6, pp.1175-1177, (1995).
- [Mour00] C. Mourrain, B. Cretu, G. Ghibaudo et P. Cottin. "New method for parameter extraction in deep submicrometer MOSFETs" *Microelectronic Test Structures, ICMTS. Proceedings of the 2000 International Conference on* Page(s): 181-186, (2000)
- [N.Breil09] Nicolas Breil – presentation de la soutenance de thèse - Université de Lille 15 Mai 2009
- [Numa04] T. Numata and S.I. Takagi, "Device design for sub threshold slope and threshold voltage control in sub-100 nm fully depleted SOI MOSFETs" *Electron Devices, IEEE Transactions on* Volume: 51, Issue: 12 Page(s): 2161- 2167 Dec. (2004).
- [Orti 02] A. Ortiz-Conde, F.J. Garcia Sanchez, J.J. Liou, A. Cerdeira, M. Estrada et Y. Yue. "A review of recent MOSFET threshold voltage extraction methods. Microelectronics Reliability" *Microelectronics Reliability* Volume 42, Issues 4–5, Pages 583–596, (2002)
- [Ploe92] E.P.Ver Ploeg, T.Watanabe, N.A.Kistler, J.C.S.Woo and J.D .Plummer, "Elimination of bipolar-induced breakdown in fully depleted SOI MOSFETs" *Electron Devices Meeting, Technical Digest, International* Page(s): 337- 340 (1992).
- [Riec96] Guenter Reichert et Thierry Ouisse. "Relationship between empirical and theoretical mobility models in Silicon inversion layers". *Electron Devices, IEEE Transactions on* Volume: 43, Issue: 9 Page(s): 1394-1398 (1996)
- [Roma03] K. Romanjek, F. Lime, G. Ghibaudo et C. Leroux. "New approach for the gate current source-drain partition modeling in advanced MOSFETs". *Solid-State Electronics* Volume 47, Issue 10. Pages 1657–1661 October (2003)
- [Roma04] K. Romanjek, F. Andrieu, T. Ernst et G. Ghibaudo. "Improved split C-V method for effective mobility extraction in sub-0.1- μm Si MOSFETs". *Electron Device Letters, IEEE*, vol. 25, no. 8, pages 583–585, Aug. (2004).
- [Scil] Scilab contraction de Scientific Laboratory est un logiciel libre de calcul numérique multi-plateforme

- [Schw11] W. Schwarzenbach et al "Excellent Silicon Thickness Uniformity on Ultra-Thin SOI for controlling V_t variation of FDSOI" C Design & Technology (ICICDT), IEEE International Conference on pages 1-3. (2011)
- [Seon 05] Seong-Dong Kim, Shreesh Narasimha, and Ken Rim "An integrated methodology for accurate extraction of S/D Series resistance components in Nanoscale MOSFETs" Electron Devices Meeting,. IEDM Technical Digest. IEEE International Page(s): 149- 152 (2005)
- [Skot88] T. Skotnicki, G. Merckel, T. Pedron "The voltage-doping transformation: a new approach to the modeling of MOSFET short-channel effects". IEEE Electron Device Letters 9, page: 109 (1988)
- [Skot00] T. Skotnicki "Heading for decanometer CMOS is navigation among icebergs still a viable strategy" Proceedings of the 30th European Solid-State Device Research Conference. Frontier Group, Gif-sur-Yvette, France, 19 (2000)
- [Skot04] T. Skotnicki "Ultimate scaling of SOI MOSFETs. MIGAS Short Course" Villard de Lans, France (2004)
- [SOIC] www.soiconsortium.com
- [Taur 92] Y. Taur, D.S. Zicherman et al. "A new shift and ratio" method for MOSFET channel length extraction" IEEE Electron Device Letters, vol.13, no.5, p.267-269, May (1992)
- [Taur98] Y. Taur et Tak H. Ning. "Fundamental of modern VLSI devices". Cambridge University Press, (1998).
- [Taur00] Y. Taur. "MOSFET channel length extraction and interpretation". IEEE Electron Device Lett., vol. 47, pages 160–170, Janvier (2000).
- [Uchi02] K. Uchida, H. Watanabe, A. Kinoshita, J. Koba, T. Numata, S-I. Takagi, "Experimental study on carrier transport mechanism in ultra thin body SOI n- and p-MOSFETs with SOI thickness less than 5 nm", IEDM Tech. Dig., pp.04, (2002)
- [Webe08] O Weber et al "High immunity to threshold voltage variability in undoped ultra-thin FDSOI MOSFETs and its physical understanding" Electron Devices Meeting, 2008. IEDM. IEEE International pages:1-4 (2008)
- [Wong98] H.-S.P. Wong, D.J. Frank, and P.M. Solomon "Device design considerations for double-gate, ground-plane, and single-gated ultra-thin SOI MOSFET's at the 25 nm channel length generation" Technical Digest of International Electron Devices Meeting, pp. 407-410, (1998).
- [Yama98] K. Yamaguchi, H. Amishiro, M. Yamawaki et S. Asai. "A new variational method to determine effective channel length and series resistance of

MOSFET's". Microelectronic Test Structures, ICMTS Proceedings of the International Conference on pages 123 (1998)

Chapitre III: Etude des capacités sur les transistors FD SOI

Chapitre III Etude des capacités sur les transistors FD SOI

I.	Introduction	91
II.	Mesures C(V).....	91
1)	Définition	91
2)	Influence de la fuite de grille sur les mesures capacitives.....	91
3)	Capacités parasites	93
1.	Cas du silicium massif	93
2.	Cas des dispositifs FD SOI.....	96
4)	Capacité en fonction de la polarisation face arrière.....	97
1.	Évolution du V_{th} avec la polarisation face arrière.	97
III.	Modélisation en 2D de la réponse capacitive sur les dispositifs SOI.....	99
1)	Mesure de la réponse capacitive dans les structure MOS FD SOI	103
2)	Simulation de la capacité	103
1.	Capacité liée à l'espaceur C_{spa}	104
2.	Capacité de bord interne C_{if}	108
3.	Capacité liée à l'oxyde enterré	109
3)	Extraction de la longueur effective L_{eff}	113
IV.	Exploitation des mesures capacitives sur le dispositif FD SOI	115
1)	Fonction de Maserjian	115
2)	Nouvelle fonction Y_m pour FD SOI.....	116
V.	Conclusion	123

Chapitre III Etude des capacités sur les transistors FD SOI

I. Introduction

De nos jours, la nécessité d'avoir des circuits rapides et plus performants semble évidente. Avec la réduction des dimensions des transistors, le diélectrique de grille atteint des épaisseurs très faibles, inférieures à 20 Å, correspondant à 7 couches atomiques, correspondant à une capacité surfacique très élevée, ce qui impacte forcément les caractéristiques électriques du transistor.

Dans cette partie, nous allons faire l'étude des capacités sur la technologie SOI et l'impact des phénomènes parasites sur les dispositifs de petites dimensions ainsi que les effets qu'ils et elles peuvent induire sur les paramètres électriques.

II. Mesure C(V)

1) Définition

Le paramètre C définit la capacité d'un matériau à stocker une charge. Il se calcule en mesurant la variation de charges ΔQ résultant d'une variation de potentiel ΔV .

$$C = \frac{\partial Q}{\partial V} \quad (\text{III.1})$$

L'appareil de mesure utilisé est un analyseur d'impédance (LCR Meter) HP. Ce dernier mesure l'impédance complexe appliquée entre ses bornes *High* et *low*. Il applique une tension continue à laquelle se trouve superposé un petit signal sinusoïdal dont l'amplitude est de quelques kT/q. La mesure du courant induit par ce petit signal permet de déterminer la valeur de la capacité en mesurant une impédance complexe dont la partie imaginaire donne la capacité et la partie réelle une conductance.

2) Influence de la fuite de grille sur les mesures capacitive

Pour les transistors de grandes dimensions, le courant de fuite à travers la grille est non négligeable (Figure II.9(b)), et perturbe fortement, voire rend impossible la mesure de la valeur de capacité (Figure III.1). L'apparition d'un courant à travers l'oxyde impose la considération d'une nouvelle résistance R_s en parallèle avec la capacité C_p à mesurer (voir Figure III.1).

Le facteur de dissipation D (eq III.2) permet de tenir compte de cet effet parasite et montre à travers cette équation qu'en augmentant la fréquence de mesure on peut éliminer cet effet

$$D = \frac{\text{Im}(Z)}{\text{Re}(Z)} = -\frac{1}{2\pi f C_p R_p} \quad (\text{III.2})$$

où Z est l'impédance du circuit équivalent de C_p et R_p (Figure III.1) monté en parallèle. Lors que $D \gg 1$, on considère que le calcul de C_p à partir de l'impédance n'est plus possible.

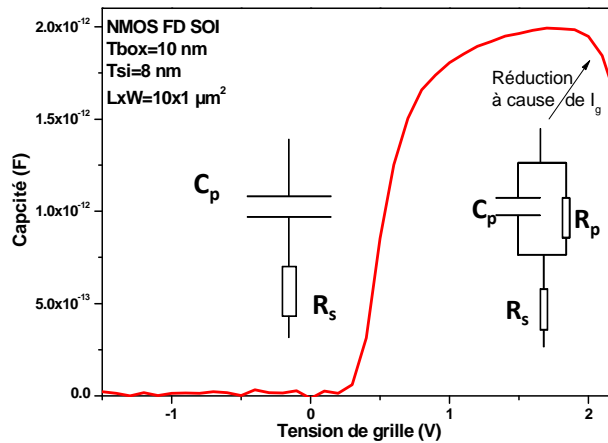


Figure III.1 Influence de la fuite de grille sur la mesure $C_{gc}(V_g)$ sur un transistor nMOS FD SOI

L'étude de la capacité et la charge dans la structure MOS est d'une grande importance.

Le schéma électrique équivalent d'une structure MOS parfaite sans états d'interface est présenté dans la figure III.2 (a). Elle est composée de l'association en série de deux capacités: la capacité de l'oxyde C_{ox} et celle du semi-conducteur C_{sc} .

La contribution des états d'interfaces complique légèrement ce schéma. Ils introduisent une capacité C_{ss} et une résistance R_{ss} (associés aux états d'interfaces) montées en parallèle avec la capacité du semi-conducteur C_{sc} (Figure III.2 (b)).

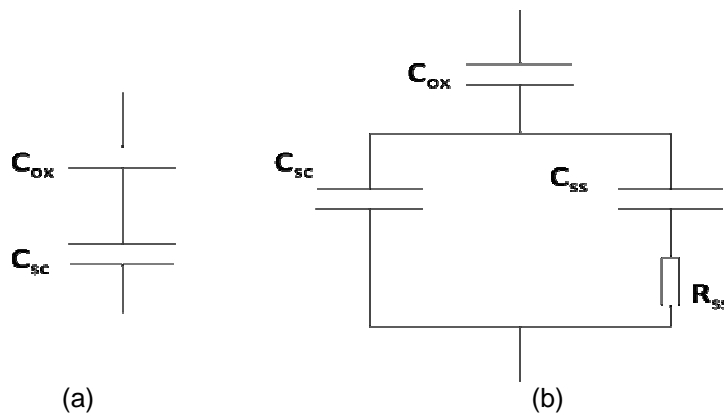


Figure III.2 Schéma électrique équivalent d'une structure MOS (a) parfaite (b) avec des états d'interface

Cette densité d'états d'interface représente le nombre de défauts électriquement actifs par unité de surface et d'énergie ($eV^{-1}cm^{-2}$) situés à l'interface silicium/oxyde. Ces défauts sont susceptibles de capturer ou de réémettre des porteurs. Leur densité est mesurable à l'aide de techniques de caractérisation électrique comme la transconductance dynamique, la DLTS en courant, le bruit, le pompage de charges... Cependant, dans ce chapitre nous n'allons pas aborder ces volets d'étude.

L'introduction du BOX sur les dispositifs FD SOI va induire une capacité supplémentaire montée en série au schéma électrique équivalent. Son influence et sa valeur dépendent néanmoins de l'épaisseur de l'oxyde enterré.

Globalement, les transistors SOI apportent 25% à 30% de performances en plus par rapport à leurs homologues sur substrat massif [Shah99] [Alle99].

Un des principaux avantages de la technologie SOI est la réduction des capacités de jonction des transistors. Grâce à la présence de l'oxyde enterré, les diffusions de drain et de source sont limitées par l'oxyde enterré, qui possède une permittivité relative plus faible par rapport au silicium ce qui diminue la capacité totale d'un circuit de l'ordre de 20% [Shah99], et améliore les performances et la consommation dynamique.

3) Capacités parasites

Les mesures des capacités entre les électrodes du transistor MOS permettent d'extraire les caractéristiques électrostatiques très importantes du transistor. La capacité totale $C_{tot}(V_g)$ sur les dispositifs Bulk est extraite en connectant les électrodes de source et drain et substrat à *Low* et celle de la grille à *High*. Elle correspond à la réponse de toutes les charges dans la structure. Cette capacité représente aussi la somme de la contribution de la capacité due au canal C_{gc} et la capacité grille/substrat C_{gb} tel que :

$$C_{tot}(V_g) = C_{gc}(V_g) + C_{gb}(V_g) \quad (III.3)$$

Où C_{gc} caractéristique de la réponse des charges d'inversion est obtenue en connectant les source/drain à *low* et la grille à *high* le substrat est connecté à la masse. La capacité C_{gb} est caractéristique des charges d'accumulation et déplétion obtenue en connectant les source/drain à la masse et le substrat à *low* et la grille à *high*.

L'équation (III.3) établit une relation entre toutes les capacités qu'on peut mesurer sur nos dispositifs. Cependant, $C_{tot}(V_g)$ contient la contribution des capacités parasites $C_{par}(V_g)$ qui sont présentées dans tous les transistors MOS, et ceci indépendamment de la longueur de grille. Néanmoins, leurs impacts sont négligeables sur les canaux longs, mais beaucoup moins sur les canaux courts.

1. Cas du silicium massif

Les capacités parasites C_{par} deviennent une fraction de plus en plus importante dans la capacité totale mesurée lorsqu'on réduit les dimensions des transistors. Ainsi, une estimation précise de cette grandeur est maintenant indispensable pour prédire correctement le fonctionnement des circuits. Plusieurs études ont été réalisées pour modéliser la part de ces capacités parasites dans la capacité mesurée [Suzu99] [Waki00] [Laco12]. Ces modèles permettent contrairement aux méthodes de caractérisation électrique d'évaluer leurs valeurs avec plus de rigueur. Les principales capacités parasites dans le cas du dispositif sur silicium massif sont représentées dans la figure (III.3).

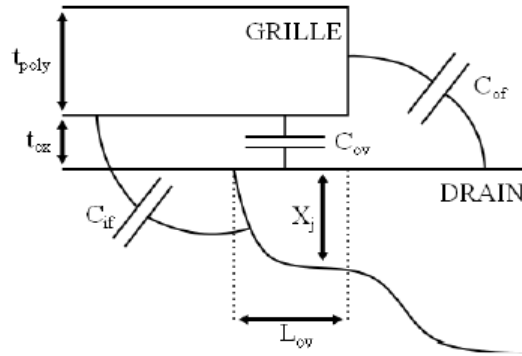


Figure III.3 Représentation schématique des principales capacités parasites sur un dispositif sur silicium massif [Prég02]

Prégaldiny et al [Prég02] ont pu développer un modèle simple qui permet d'évaluer et de donner les expressions analytiques de ces capacités:

- $C_{ov}(V_g)$ est la capacité 'Overlap'. Elle dépend de la tension aux bornes de la grille. Elle représente la capacité planaire prise dans la zone de recouvrement, entre grille et extension Source/Drain.

En forte inversion cette capacité tend vers une valeur maximale définie tel que :

$$C_{ov,max} = C_{ox} L_d \quad (III.4)$$

Avec L_d la longueur de diffusion latérale tel que $L_{ov}(V_g) \rightarrow L_d$ avec L_{ov} la longueur de diffusion latérale effective qui dépend de la tension de grille [Prég02]

$$L_{ov}(V_g) = A(V_g) \cdot L_d \quad (III.5)$$

$$A(V_g) = \begin{cases} 1 & \text{Pour } V_g \geq 0 \\ \frac{1}{1 - \lambda V_g} & \text{Pour } V_g \leq 0 \end{cases} \quad (III.6)$$

$$C_{ov}(V_g) = C_{ox} L_{ov}(V_g) \quad (III.7)$$

Où λ est un paramètre d'ajustement dépendant du dopage du canal et des zones LDD.

Dans le cas d'un nMOS la désertion des extensions est responsable de la décroissance de la réponse capacitive grille-canal $C_{gc}(V_g)$ en régime d'accumulation comme illustré sur la figure III.4.

-La capacité C_{of} pour 'Outer Fringe' : est la capacité de bord externe. Elle représente les capacités de couplages entre grille d'une part et Source/Drain d'autre part en passant par les espaceurs. Elle est définie à partir de considérations géométriques [Shri82] et varie ainsi dans chaque dispositif. Elle est indépendante de la tension de grille. Dans le cas du Silicium massif, son expression est donnée par l'équation suivante [Prég02] avec t_{poly} est l'épaisseur du poly silicium :

$$C_{of} = \frac{\epsilon_0 \epsilon_{ox}}{\pi/2} \ln \left(1 + \frac{t_{poly}}{t_{ox}} \right) \quad (III.8)$$

-La capacité C_{if} pour 'Inner Fringe'. Elle représente de la capacité de couplages entre la grille d'une part et les Source/Drain d'autre part, mais à travers le canal. L'effet de cette capacité parasite a toujours été négligé. Cependant, avec la réduction de la longueur du canal l'impact de cette capacité ne peut plus être négligé. Son effet est visible en régime de déplétion tandis qu'elle est écrantée ensuite par les charges d'inversion.

$$C_{if} = \frac{\epsilon_0 \epsilon_{ox}}{\pi \epsilon_{ox} / 2 \epsilon_{si}} \ln \left[1 + \frac{\chi_j}{t_{ox}} \sin \left(\frac{\pi}{2} \frac{\epsilon_{ox}}{\epsilon_{si}} \right) \right] \quad (III.9)$$

La figure III.4 montre l'évolution de la capacité en fonction la tension de grille. Elle montre aussi les plages de tensions pour lesquelles on peut voir l'impact des capacités parasites décrites précédemment.

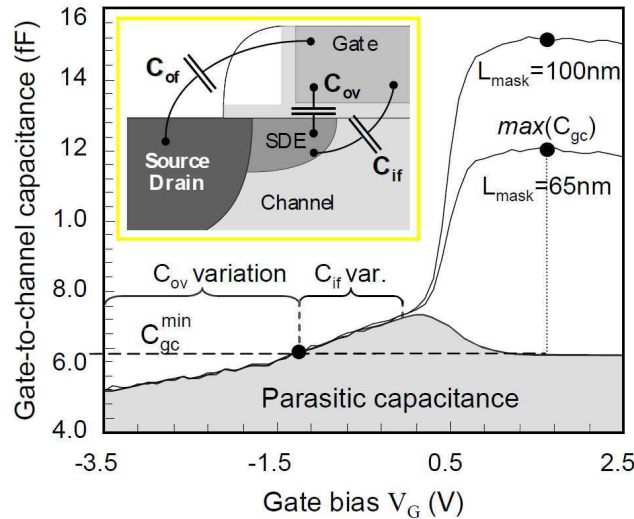


Figure III.4 Mesure $C_{gc}(V_G)$ sur deux longueurs de grilles de 100 nm et 65 nm illustrant l'impact de la capacité de bord interne C_{if} et celle de bord externe C_{of} sur des dispositifs silicium massif [Fleu08]

L'expression de la capacité de bord interne (éq III.9) a été établie pour l'architecture du transistor MOS en condition de bandes plates, lorsque le canal ne contient pas de charges. D. Fleury et al [Fleu08] ont proposé un nouveau modèle qui permet de prendre en compte la dépendance de cette capacité avec la tension de grille et qui atteint sa valeur maximale en déplétion. Ce nouveau modèle (éq III.10) permet de se rapprocher du comportement de la capacité qui se trouve écrantée par les charges d'inversion et d'accumulation.

$$C_{if}(V_g) = C_{if\max} \cdot F_{shild}(C_{if\max}, C_s) \quad (III.10)$$

$$\text{Avec } C_s = C_{acc} + C_{inv} + \alpha C_{dép} \quad (III.11)$$

$$F_{shild}(C, C_s) = \frac{C_{ox}^2}{(C_{ox} + C_s)^2 + C.C_s} \quad (III.12)$$

Où F_{shild} est une fonction qui peut être généralisée à l'écrantage d'une capacité C quelconque par la réponse capacitive des charges dans le canal C_s et α est un paramètre d'ajustement qui pondère l'efficacité de l'écrantage causé par les charges de désertion, C_{acc} et C_{inv} sont respectivement la capacité due à la charge d'accumulation et d'inversion.

On peut distinguer d'autres capacités parasites de nature extrinsèque et qui ne sont pas liées à l'architecture du MOSFET mais liées à l'arrangement des interconnexions et aux back end mais, elles ne seront pas étudiées dans ce manuscrit.

2. Cas des dispositifs FD SOI

Les capacités entre source/drain et substrat sont fortement réduites dans le cas des dispositifs FD SOI ce qui permet un gain de 15-20% en délai lors du fonctionnement dynamique [Shah02].

Cependant, les capacités parasites dépendent de la structure du transistor. L'introduction d'une couche d'oxyde enterré sous le canal de conduction va introduire des capacités parasites supplémentaires liées au Box C_b .

Le sur-élévation des source et drain fait varier, lui aussi, la capacité de bord externe. Plusieurs modèles ont été proposés pour prendre en compte ces effets dans le cas des transistors FD SOI [Kim06] [Chen06] [Laco12].

Des mesures capacitives ainsi que des modélisations ont été réalisées pour décomposer les contributions des capacités parasites dans la structure FD SOI.

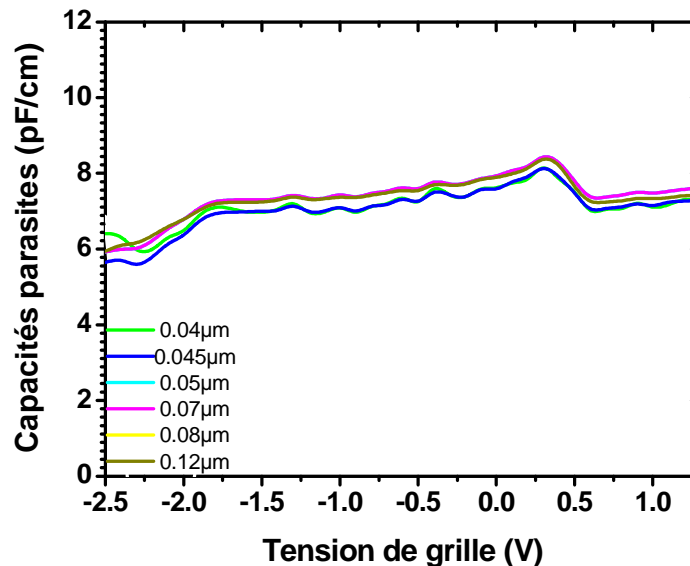


Figure III.5 Évolution des capacités parasites en fonction de la tension de grille sur des dispositifs FD SOI avec $W=1 \mu m$ et $T_{Box}=145 \text{ nm}$ (HfO₂/TiN)

La figure III.5 montre l'évolution des capacités parasites extraites selon [Roma04] qui ont la même tendance en fonction de la tension de grille ce qui prouve que ces capacités parasites sont indépendantes vis-à-vis la longueur de grille.

$$C_{Par}(L) = C_{gc}^{brut,mes}(L) - C_{gc}^{corrigé}(L) \quad (III.11)$$

$$C_{gc}^{corrigé}(L) = \frac{C_{gc}(L_2) - C_{gc}(L_1)}{L_{eff,2} - L_{eff,1}} L \quad (III.12)$$

4) Capacité en fonction de la polarisation face arrière

L'effet induit par le couplage des charges en face avant et en face arrière dans les dispositifs FD SOI est une propriété clef de cette technologie. Ce couplage change les propriétés électriques dans le film mince. Il module la tension de seuil face avant par la tension face arrière.

1. Évolution du V_{th} avec la polarisation face arrière

La Figure III.6 représente la capacité mesurée sur un transistor nMOS GO2 (Poly (4 nm)/SiO₂ C_{ox2}=1μF/cm²) pour des valeurs de tension face arrière allant de -10V à 10 V. Pour V_b=0V on retrouve le comportement classique d'une capacité MOS FD SOI. Pour les grandes valeurs de V_b la capacité se décompose en deux parties, un épaulement qui correspond à la création d'un canal face arrière et l'apparition d'une charge d'inversion à l'interface Silicium/oxyde enterrée et une deuxième remontée pour les fortes valeurs de V_{gf} (tension grille face avant) qui correspond à l'inversion de charge face avant. Dans le cas des tensions V_b < 0 on a un déclenchement de l'inversion face avant pour des valeurs de V_{gf} plus grandes.

Cet épaulement est caractéristique de la capacité C_b due aux deux capacités en série C_{si} et C_{Box} [Chen92] tel que.

$$C_b = \frac{C_{si} C_{Box}}{C_{si} + C_{Box}} \quad (III.13)$$

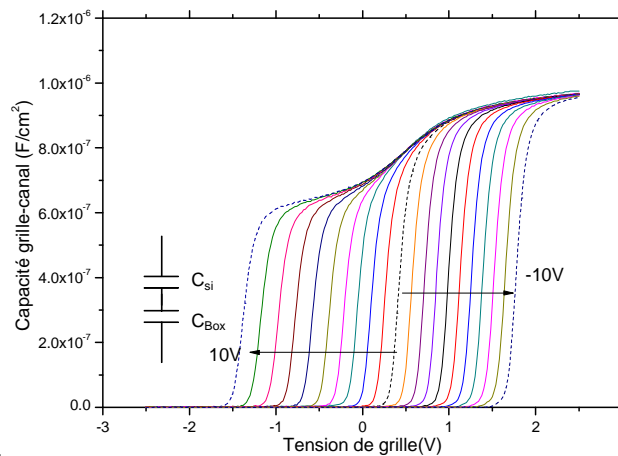


Figure III.6 Capacité C_{gc} sur une structure GO2 (LxW= 10 μm²) en fonction de V_b qui varie de - 10 à 10 V avec un pas de 1V (T_{si}=8 nm, T_{box}=25 nm)

Les figures III.7&8 montrent les courbes de dérivé de la capacité en fonction de la tension face arrière. La figure III.7 montre l'évolution de la tension de seuil face avant V_{thf} qui évolue avec le V_b . De son côté, la figure III.8 présente deux pics ; le premier qui varie avec V_b relatif à l'inversion du canal face arrière et le deuxième fixe par rapport à V_b correspond à l'inversion du canal face avant ($V_{thfback}=0.46$ V).

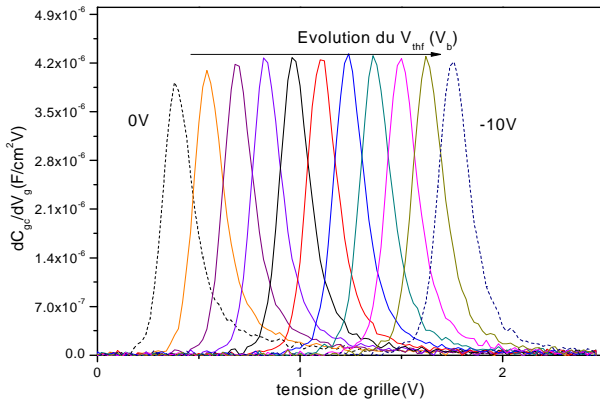


Figure III.7 Evolution de la dérivée de la capacité C_{gc} en fonction de la tension face arrière négative sur une structure nMOS GO2 ($T_{si}=8$ nm, $T_{box}=25$ nm) de 0 à -10V

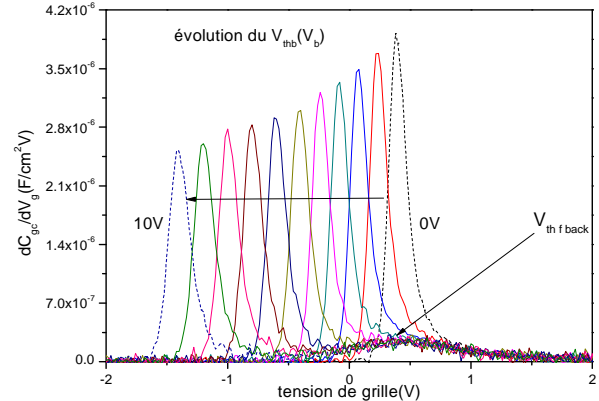


Figure III.8 Evolution de la dérivée de la capacité C_{gc} en fonction de la tension face arrière positive sur une structure nMOS GO2 ($T_{si}=8$ nm, $T_{box}=25$ nm) de 0 à 10V

La tension de seuil extraite ici (Figure III.9), correspond à la valeur de V_g prise au maximum de la dérivée de la capacité, cette méthode est insensible aux effets de la résistance d'accès et d'évolution de la mobilité avec V_g . Toutefois il faut garder en tête que le V_{th} extrait reste lié aux deux tensions de polarisations face avant et face arrière et il faut parler d'une tension de seuil avant en fonction de la tension face arrière $V_{thf}(V_b)$ pour les tensions négatives de V_b

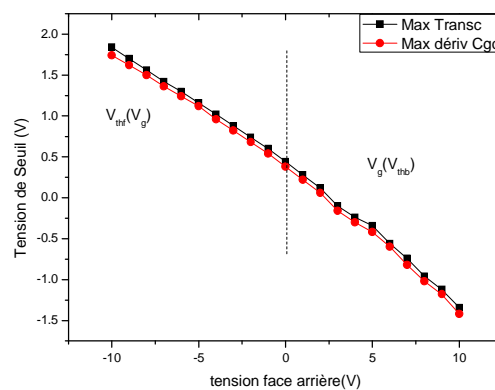


Figure III.9 Evolution de la tension de seuil en fonction de la polarisation face arrière sur nMOS (GO2 $L \times W=10 \times 10 \mu m^2$ $T_{box}=25$ nm et $T_{si}=8$ nm)

Lim et al [Lim84] ont pu donner un modèle qui explicite l'expression de cette tension avec le couplage face arrière sur un dispositif nMOS FD SOI à film mince dopé P^+ (avec une densité

de dopage N_a) et ils ont considéré qu'il est complètement déserté à hauteur d'une profondeur maximale $\chi_{d\max}$ au-delà de laquelle le film n'est plus complètement déserté.

$$\chi_{d\max} = \left[\frac{2\epsilon_{si}(2\phi_B)}{qNa} \right]^{\frac{1}{2}} \quad (\text{III.14})$$

$$\text{Avec } \phi_B = \frac{KT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (\text{III.15})$$

Trois cas de figures se présentent pour l'expression de la tension de seuil :

- Quand la surface face arrière est en accumulation (Interface Si/BOX)

$$V_{thf}^A \approx V_{FB}^f + \left(1 + \frac{C_{si}}{C_{ox}}\right)\phi_B - \frac{Q_{dep}}{2C_{ox}} \quad (\text{III.16})$$

- Dans le cas de l'inversion de la face arrière :

$$V_{thf}^I \approx V_{FB}^f + 2\phi_B - \frac{Q_{dep}}{2C_{ox}} \quad (\text{III.17})$$

- Et enfin dans le cas de la déplétion de la face arrière où là le V_{th} dépend énormément de la polarisation face arrière :

$$V_{thf}^D \approx V_{thf}^A - \frac{C_{si}C_{box}}{C_{ox}(C_{si} + C_{box})} \left(V_b - \left(V_{FB}^b - \frac{C_{si}}{C_{box}} 2\phi_B - \frac{Q_{dep}}{2C_{box}} \right) \right) \quad (\text{III.18})$$

A travers ces équations, on voit que la tension de seuil V_{thf} diminue d'une manière linéaire avec l'augmentation de V_b comme illustré sur la figure III.9

III. Modélisation en 2D de la réponse capacitive sur les dispositifs SOI

Une simulation 2D de la réponse capacitive a été effectuée en utilisant FLEX pde [FLEX pde]. Ce calcul nous a permis d'extraire la capacité totale, capacité du canal ou celle liée aux capacités parasites en résolvant l'équation de Poisson dans notre structure FD SOI (Figure III.11) et en utilisant la méthode des éléments finis (nombre de nœuds 2000).

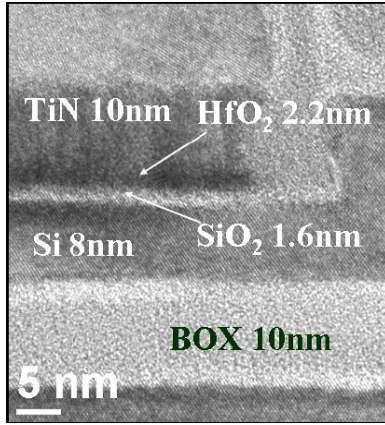


Figure III.10 Image TEM d'un transistor NMOS FDSOI $L_g=33\text{nm}$ avec un Box de 10nm.

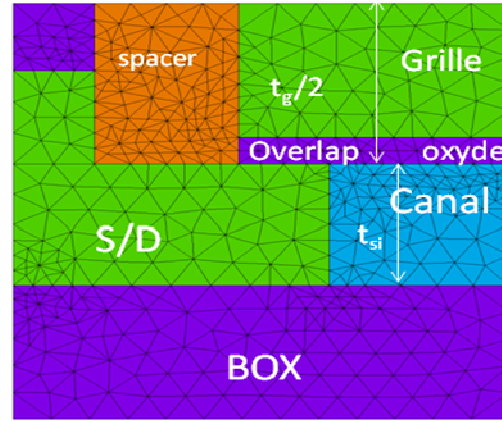


Figure III.11 Un maillage 2D d'une moitié d'un transistor FD SOI pour simuler les capacités (géométrie calibrée sur l'image TEM de gauche)

La géométrie de la structure simulée a été calibrée en utilisant la figure III.10. Ces simulations ont été effectuées sur une moitié d'un transistor pour des réductions de temps de calcul (Figure III.11). Les régions des source/drain ainsi que celle de la grille sont considérées comme des régions métalliques en raison du fort dopage qu'on leur a implanté. Ainsi, nous ne nous sommes pas intéressés à simuler l'empilement exact qui compose le matériau qui compose la grille et qui est d'épaisseur t_g .

La zone de canal est très faiblement dopée et la même permittivité électrique (celle de SiO_2) a été affectée à la zone de l'oxyde enterré et l'oxyde de grille.

La résolution des équations de Poisson dans nos structures pour deux valeurs de potentiels V et $V+dV$ (Figure III.12) nous a permis d'extraire la capacité totale en utilisant l'équation (III.19).

$$C_{\text{tot}} = 2 \frac{dW_e}{(dV_g)^2} \quad (\text{III.19})$$

Ou W_e est l'énergie totale dans la structure.

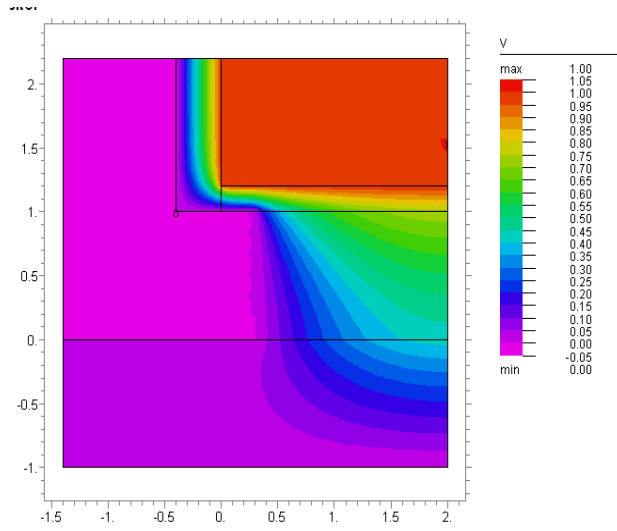


Figure III.12 Ligne de potentiel générée par FLEX pde en imposant un potentiel V variable sur la grille

Le calcul de la valeur de cette énergie nécessite la prise en compte d'une composante due au champ électrique dans le diélectrique (éq III.20) et d'une composante due à la densité de charges (éq III.21). La sous-estimation de la composante de densité de charges dans nos calculs donne lieu à une erreur de 50% pour des valeurs de V_g proches de la tension de seuil et de 25% pour des valeurs de V_g proches de la tension de bande plate (Figure III.14).

$$W_E = \iiint \frac{\epsilon}{2} E^2 dV \quad (\text{III.20})$$

$$W_Q = \frac{1}{2} QV \quad (\text{III.21})$$

L'association de ces deux contributions (éq III.22) permet ainsi d'avoir des valeurs de capacité qui modélisent bien la courbe entière de mesures d'un dispositif Bulk long ($L \times W = 10 \times 1 \mu\text{m}^2$) (Figure III.13).

$$\Delta W_e = \int \frac{(\epsilon(\Delta E)^2 + \Delta \rho \Delta V)}{2} \quad (\text{III.22})$$

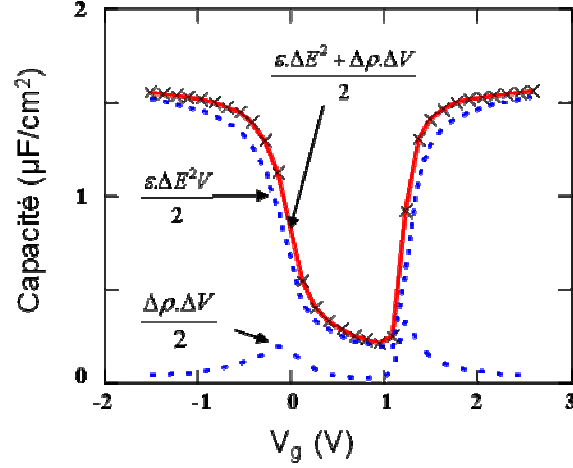


Figure III.13 Contribution du champ électrique et la densité de charges dans la capacité totale simulée d'une structure 1D d'un transistor Bulk

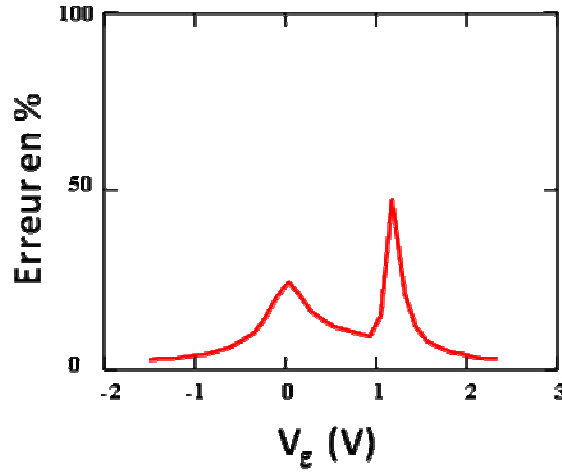


Figure III.14 Pourcentage d'erreur en fonction de la tension de grille qu'on peut faire si l'on néglige la contribution de la densité de charge dans la capacité totale

La capacité C_{tot} calculée en utilisant l'équation (III.22) sur la structure définie dans la figure III.12 rassemble toutes les contributions de capacités que ce soit celles liées à la charge dans le canal C_{inv} ou liées aux capacités intrinsèques de la structure qu'on va appeler parasite C_{par} .

C_{par} rassemble la capacité d'overlap C_{ov} , capacité de bord interne C_{if} , capacités liées aux espaceurs C_{spa} ou la capacité de Box C_{pbox} (Figure III.15). Tel que :

$$C_{tot} - C_{inv} = C_{par} = C_{if} + C_{pbox} + C_{ov} + C_{spa} \quad (III.23)$$

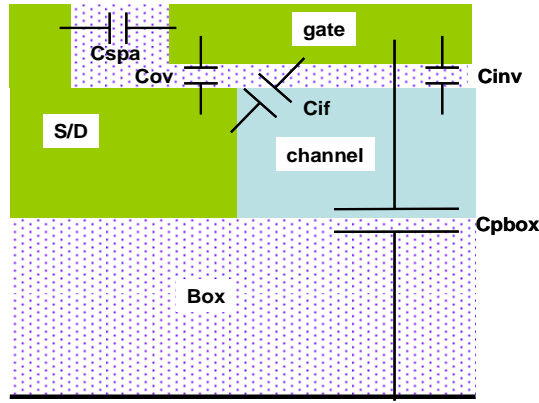


Figure III.15 Illustration des différentes capacités présentes sur la structure FD SOI

Il est à noter que la capacité C_{inv} (ou C_{gc}) est calculée en intégrant sur la longueur du canal la densité de charges des porteurs qu'on définit au début du programme, donc il est facile d'en soustraire la contribution à la capacité totale C_{tot} .

1) Mesure de la réponse capacitive dans les structures MOS FD SOI

La figure III.16 montre l'évolution de la capacité grille-canal mesurée sur les dispositifs FD SOI avec une épaisseur de Box de 10 nm sans GP et un film de silicium de 8 nm. Cette figure montre une légère dépendance de la capacité mesurée en accumulation avec la longueur de grille contrairement aux mesures faites dans le cas des dispositifs Bulk [Roma04] [Prég02].

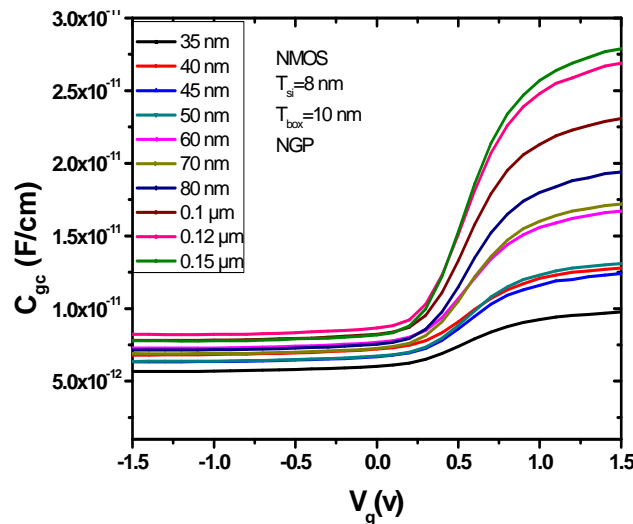


Figure III.16 Mesures des capacités grille-canal en fonction de V_g pour différentes longueurs de grille avec $W=1\mu m$ sur des structures FD SOI nMOS sans GP

2) Simulation de la capacité

Des simulations ont été effectuées dans le but de reproduire et comprendre les phénomènes liés à cette variation avec la longueur [Bena12]. Nous avons voulu tout d'abord, voir l'évolution de ces capacités parasites en fonction de l'épaisseur du film de silicium, de l'espaceur et de la largeur de zone d'overlap ou de l'épaisseur du Box.

Nous avons commencé par des simulations statiques (sans introduire les charges dans le calcul des capacités) pour avoir une idée de l'évolution des capacités dans notre structure. Il s'agit donc d'une résolution 2D de l'équation de Poisson (éq III.24) avec un calcul du champ électrique dans chaque région (éq III.25).

$$\text{div}(\epsilon \text{grad}(V)) = 0 \quad (\text{III.24})$$

$$W = \int \frac{\epsilon E^2}{2} \quad (\text{III.25})$$

Où on peut extraire la capacité suivant l'équation (III.26)

$$C = \frac{2W}{ddp^2} \quad (\text{III.26})$$

Avec ddp: la différence de potentiel appliquée à la structure.

1. Capacité liée à l'espaceur C_{spa}

En imposant un potentiel fixe à la frontière entre oxyde de grille et canal de silicium on empêche les lignes de champ de se propager dans le canal. Cette configuration permet de calculer la capacité dans la zone (espaceur, overlap et oxyde). Ce qui nous permet d'extraire la capacité équivalente à ces trois capacités montées en série (Figure III.17). Une simple soustraction des valeurs de la capacité d'overlap et d'oxyde (puisque nous imposons la longueur du canal et de l'overlap) permet de déterminer celle des espaceurs.

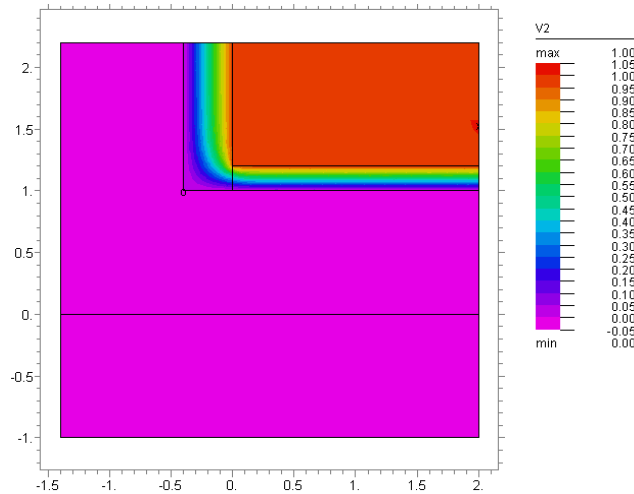


Figure III.17 Ligne de potentiel générée par FLEX pde en imposant un potentiel fixe sur le haut du canal qui permet d'isoler les régions composées par l'espaceur, oxyde et overlap

La figure suivante montre la contribution de cette composante dans la capacité totale qui augmente avec la réduction de l'épaisseur de l'espaceur. Elle dépend aussi de la hauteur de la grille définie par t_g . Cependant, sa variation n'a pas d'influence sur les autres capacités.

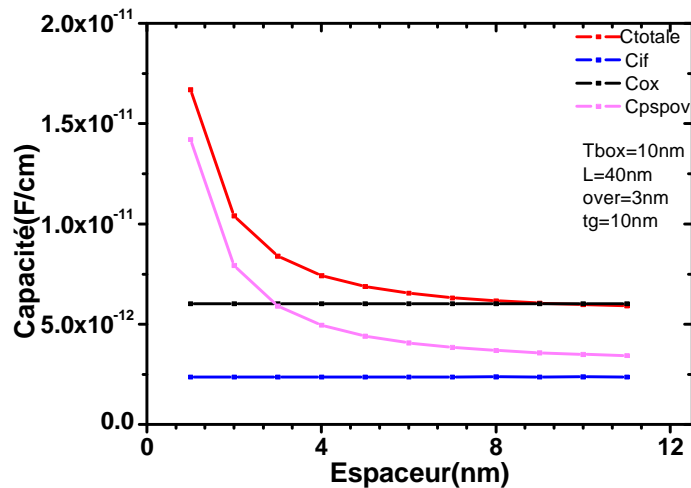


Figure III.18 Simulation de l'évolution des différentes capacités en fonction de l'épaisseur de l'espaceur

La figure III.18 montre aussi l'invariance de la capacité de bord interne C_{if} avec la largeur de l'espaceur. Cette capacité est extraite en faisant la soustraction de la capacité totale sur toute la structure (Figure III.12) de celle des trois capacités précédentes (espaceur, overlap et oxyde). Avec C_{pspov} la capacité parasite due à l'espaceur et à l'overlap.

Notons aussi que la capacité d'overlap est calibrée en se basant sur l'image TEM (Figure III.10) (l'épaisseur de la zone d'overlap fait à peu près 3nm).

Il est ainsi intéressant de voir l'évolution de cette capacité C_{if} avec l'épaisseur du film de silicium (Figure III.19) ainsi qu'avec la longueur de grille (Figure III.20) qui semble varier avec la réduction de la longueur du canal et l'épaisseur de film de silicium. On détaillera plus longuement l'étude de cette capacité dans le paragraphe III.2.2

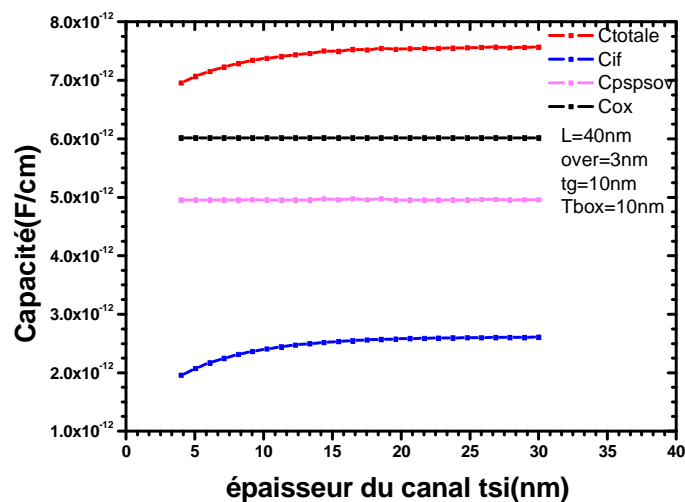


Figure III.19 Simulation de l'évolution des capacités avec l'épaisseur du film de silicium

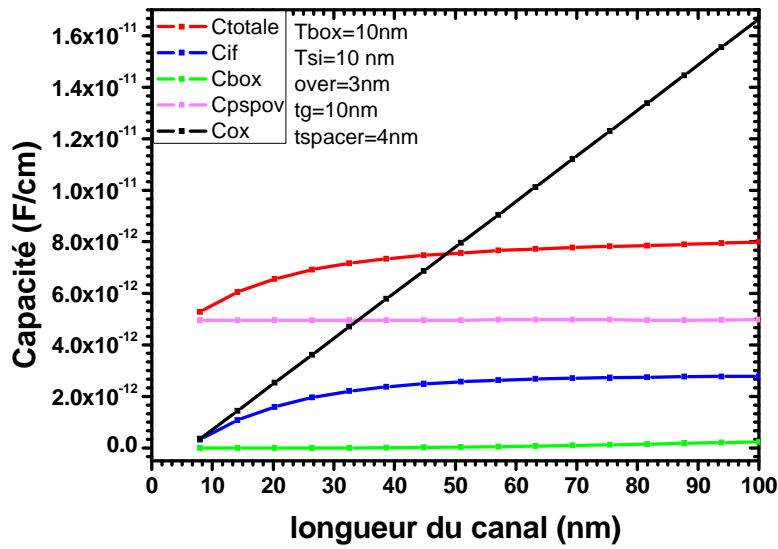


Figure III.20 Simulation de l'évolution des capacités avec la longueur du canal

On vient de voir l'évolution de l'aspect statique des capacités dans la structure FD SOI. Ceci nous donnant une brève idée sur l'évolution des capacités parasites et leurs contributions dans la capacité totale simulée.

La figure III.21 suivante montre une simulation de la capacité grille-canal pour une épaisseur de Box de 10 nm et de T_{si} 10 nm et pour différentes longueurs de grille allant de 40 nm à 150 nm. Cette courbe montre aussi la même légère dépendance en longueur de la capacité en accumulation pour V_g entre -1 et 0 V.

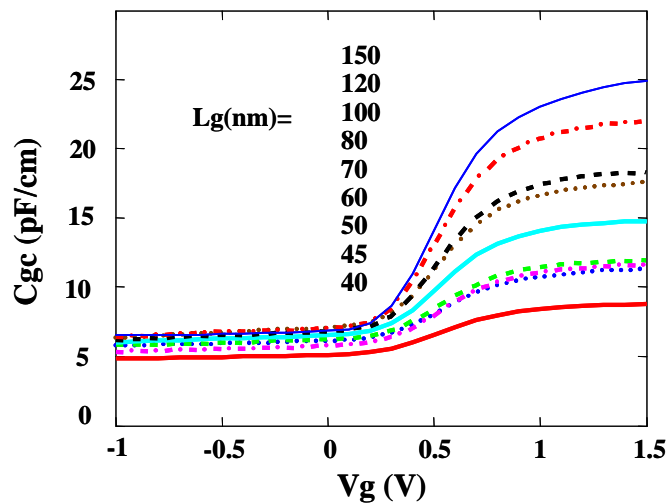


Figure III.21 Simulation de la capacité grille-canal ($T_{si}=10$ nm, $T_{box}=10$ nm, $L_g=40$ nm~150 nm) pour un nMOS FD SOI

La courbe de simulation des capacités parasites ($C_{par}(V_g)=C_{tot}(V_g)-C_{gc}(V_g)$) sur la figure III.23 montre des valeurs de capacités très proches de celles des mesures de la figure III.22. Elle met ainsi en évidence l'indépendance des capacités parasites avec la longueur de grille en

forte inversion, zone dans laquelle la capacité de bord interne C_{if} est écrantée (cf. Paragraphe III.2.2).

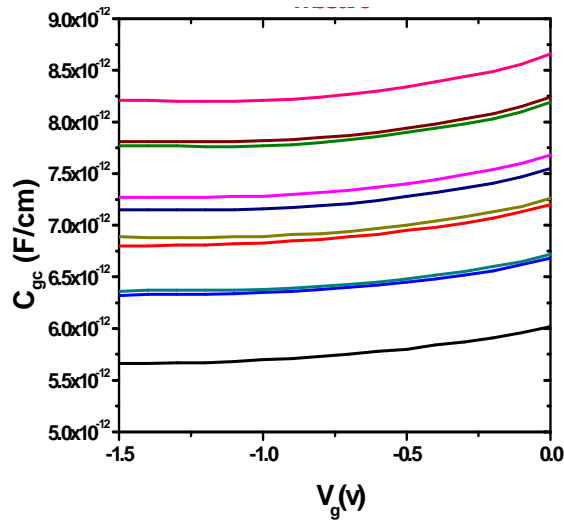


Figure III.22 Zoom sur la partie accumulation de la capacité grille-canal de la figure III.12

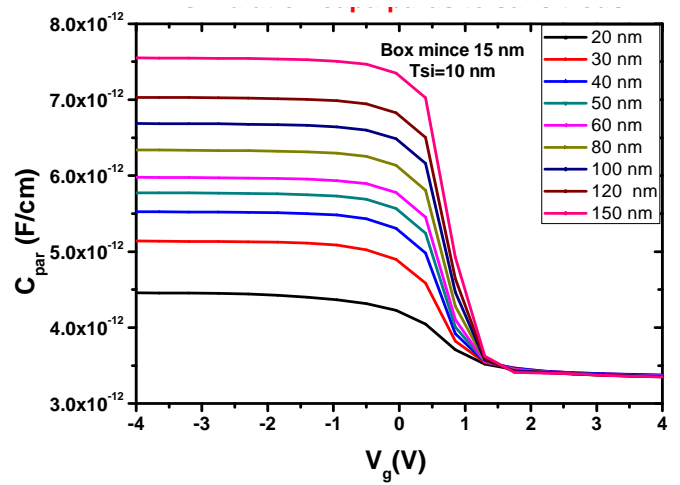


Figure III.23 Simulation de l'évolution des capacités parasites pour un nMOS et pour différentes longueurs de grille ($T_{si}=10$ nm, $T_{box}=15$ nm)

Cette concordance entre mesures et simulations est bien illustrée aussi sur la figure III.24 qui montre l'évolution des valeurs de C_{min} extrait en accumulation à $V_g=-1$ V et C_{max} extrait en forte inversion à $V_g=1.5$ V pour les courbes de simulations et mesures (Figure III.21 et III.16) et prouvent ainsi la robustesse de nos simulations.

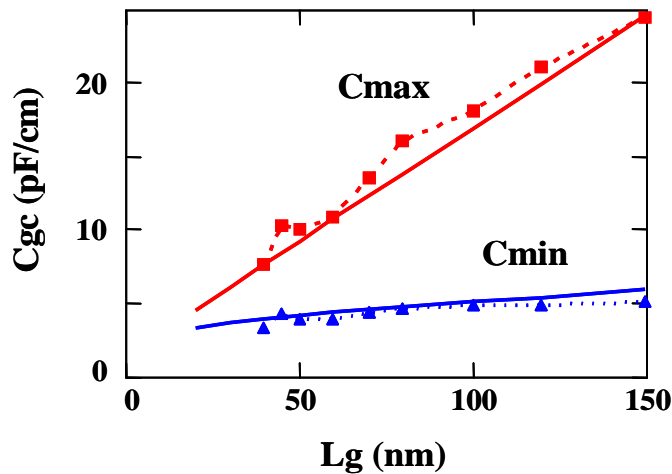


Figure III.24 Mesures (Symboles) et simulations (lignes) de la variation de C_{min} extraite en accumulation ($V_g=-1$ V) et C_{max} extraite en inversion ($V_g=1.5$ V) pour un nMOS FD SOI

La capacité maximale C_{max} simulée suit approximativement les points de mesures et montre la même tendance d'évolution avec la longueur de grille. Cependant, il subsiste une petite différence à attribuer aux capacités parasites qui ne sont pas strictement identiques entre les différentes longueurs.

D'un autre côté, on peut voir une légère augmentation du C_{\min} avec la longueur de grille. Cette même évolution est observée sur la figure III.20 où on voit la valeur de la capacité C_{if} augmenter avec la longueur et qui pourrait expliquer cette variation sur les dispositifs FD SOI.

Tous ces résultats semblent converger vers l'hypothèse pour laquelle la capacité C_{if} est responsable de cet effet.

2. Capacité de bord interne C_{if}

En comparant les courbes de mesures C_{gc} des dispositifs Bulk (Figure III.4) et du FD SOI (Figure III.16) on remarque tout de suite l'absence de l'épaule caractéristique de la capacité de bord interne sur le cas du FD SOI.

Nous avons ainsi simulé la capacité liée à la densité de charges seulement dans le canal C_{gg} d'un nMOS définie par l'équation (eq III.27) pour une longueur de grille de 30 nm et un Box de 10 nm pour deux épaisseurs de film différentes (10 nm et 100 nm).

$$C_{gg}(V_g) = \frac{dQ_{ch}}{dV_g} \quad (III.27)$$

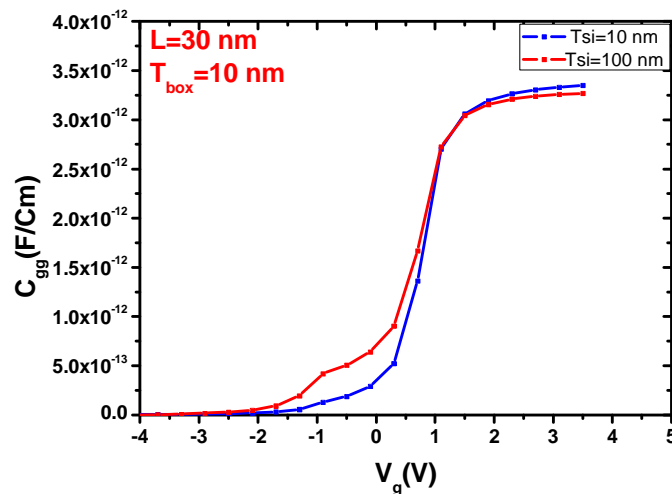


Figure III.25 Simulation de la capacité liée à la charge dans le canal pour un nMOS et pour deux épaisseurs de film de silicium ($T_{si} = 10$ nm et 100 nm)

Le résultat des simulations montre que la capacité de bord interne C_{if} dépend de l'épaisseur du film de silicium, constat déjà fait sur la figure III.19. La figure III.25 montre en plus, l'évolution en dynamique de cette capacité et pointe le fait que cette capacité existe sur les dispositifs FD SOI, néanmoins, elle n'est pas visible sur de faibles épaisseurs de film de silicium. Cependant, varie peu en variant la longueur du canal.

Son effet apparait en augmentant cette épaisseur pour arriver au final à un cas se rapprochant d'un dispositif Bulk classique.

L'absence de réservoir de charges majoritaires (dans notre cas réservoir P^+) fait qu'on n'a pas de réponse capacitive en accumulation dans le cas du FD SOI. C'est ce qui nous

permet au final de voir l'impact de cette capacité qui n'est pas écrantée dans le régime d'accumulation comme dans le cas d'un dispositif Bulk.

Il est tout aussi intéressant de voir la dynamique de l'évolution de cette capacité qui tend à diminuer en inversion jusqu'à être écrantée en forte inversion (Figure III.26).

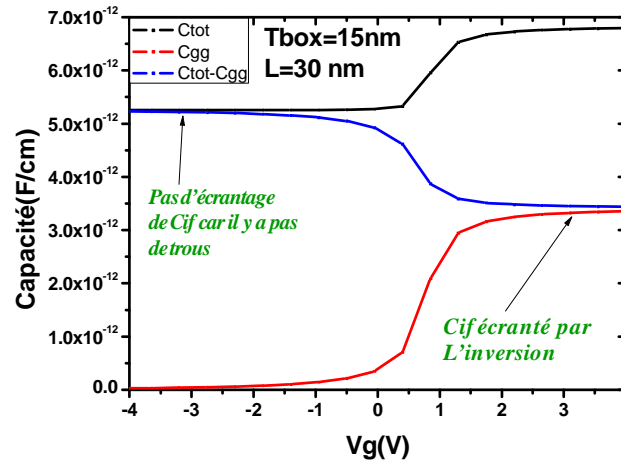


Figure III.26 Illustration de l'évolution de la capacité de bord interne (simulation) en fonction de la tension de grille pour un nMOS FD SOI ($T_{Box}=15\text{ nm}$, $L_g=30\text{ nm}$)

On a mis en évidence l'existence de la capacité de bord interne sur le cas du transistor FD SOI mais la faible épaisseur du film de silicium la rend moins visible dans la courbe de mesure. De plus, cette capacité n'est plus écrantée par les charges d'accumulation absentes dans le cas des dispositifs FD SOI.

La variation de la capacité ainsi observée sur les mesures des capacités grille-canal (Figure III.16) est en partie expliquée par le non-écrantage de la capacité de bord interne en accumulation.

3. Capacité liée à l'oxyde enterré

Nous avons voulu introduire l'impact des porteurs majoritaires absents sur les structures FD SOI dans notre calcul de la réponse capacitive.

Ces structures sont connues sous le nom de "Gated Diode" et dans lequel le dopage de part et d'autre de la grille est de type opposé (Figure III.27).

Ce dispositif est important, car il nous permet d'introduire des porteurs majoritaires qui vont écranter la capacité de bord interne visible en accumulation. Elle serait donc visible seulement en déplétion (Figure III.28&29). Elle permet d'évaluer ainsi avec plus de précision les valeurs des capacités parasites en déplétion.

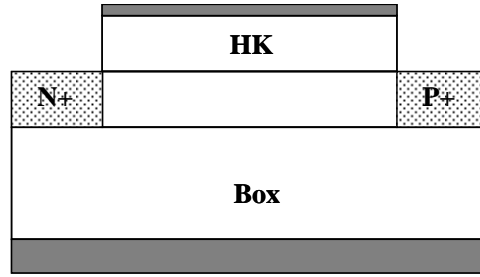


Figure III.27 Schéma simplifié d'une structure de test FD SOI de type "gated diode"

Ces deux figures montrent une évolution différente des capacités présentent en déplétion avec l'épaisseur de Box.

Ces figures permettent de faire un premier constat :

La capacité en déplétion varie avec la longueur. Cette variation n'est pas due à la capacité de bord interne C_{if} puisque cette dernière ne dépend pas de L_g . Donc, il y a d'autres capacités intrinsèques au canal.

Deuxième constat, cette capacité en déplétion dépend de l'épaisseur du Box. Ce qui est au final logique puisque en réduisant l'épaisseur du Box on augmente la capacité du Box.

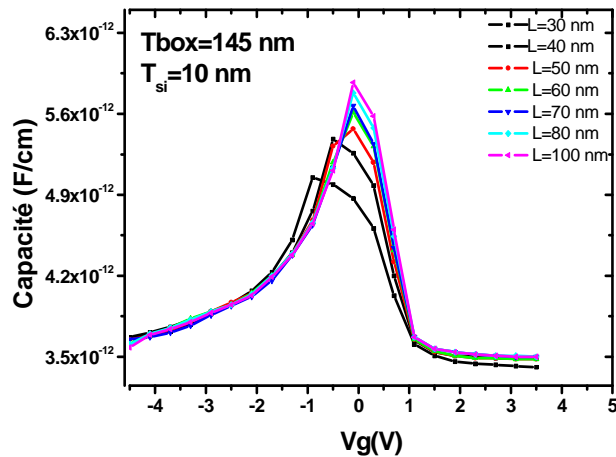


Figure III.28 Simulation des capacités parasites pour un nMOS FD SOI et pour différentes longueurs de grille

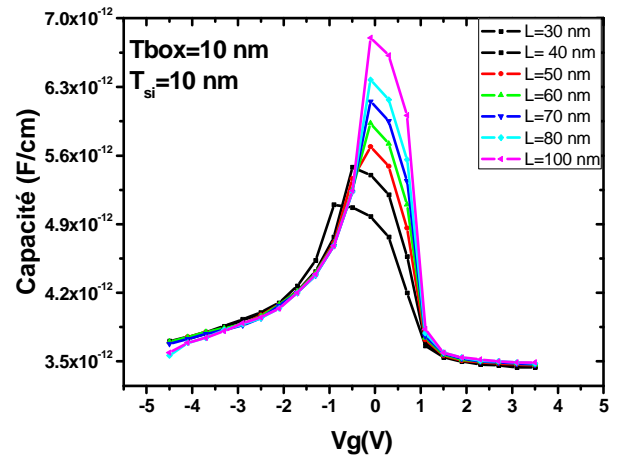


Figure III.29 Simulation des capacités parasites pour un nMOS FD SOI et pour différentes longueurs de grille

Ces capacités parasites ont été introduite par l'équipe de Seung-Hwan Kim et al [Kim06] la capacité de "Box Fringe" C_{bf} qui est la capacité de couplage entre la grille d'une part et les source/drain via le canal et l'oxyde enterré [Kim06] (Figure III.30).

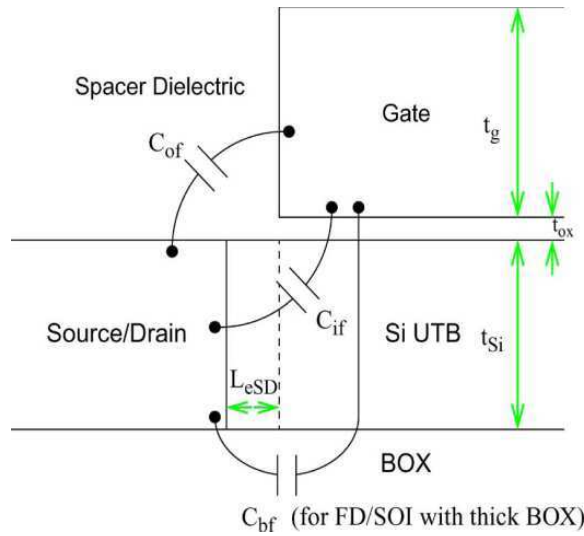


Figure III.30 Schéma simplifié illustrant les principales capacités parasites sur la structure FD SOI avec un Box épais [Kim06].

Le comportement de cette capacité est similaire à celui de la capacité de bord interne C_{if} . Elle est écrantée en forte inversion, mais son effet s'exprime en accumulation; sa contribution est incluse dans le calcul de la capacité de bord interne C_{if} .

La figure III.31 montre l'évolution de la capacité minimale (extraite à $V_g = -1$ V) avec mesures et simulations en fonction de l'épaisseur du Box. Elle esquisse une augmentation du C_{min} avec la réduction de l'épaisseur du BOX mettant ainsi en évidence l'impact de la capacité C_{pbox} comme le montre la figure III.15. Cette figure montre aussi que cette capacité dépend de la surface de contact du canal avec la Box, puisque cette capacité augmente en augmentant la longueur.

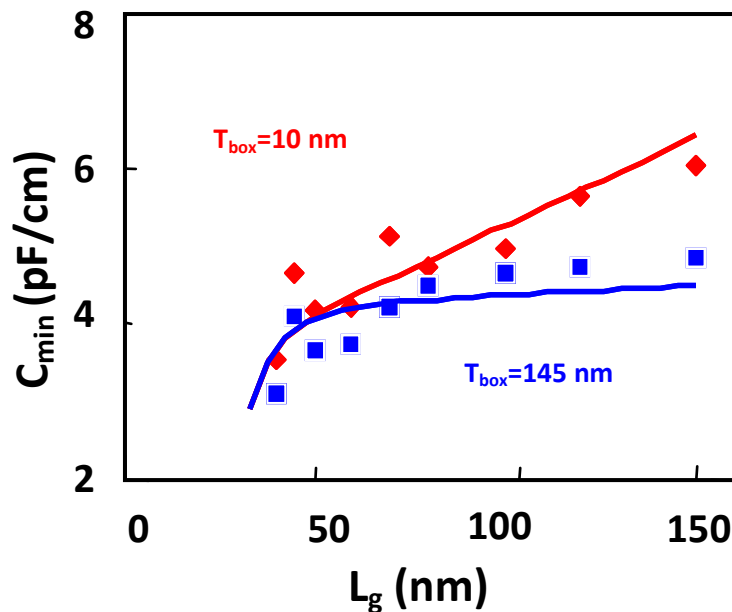


Figure III.31 Courbes de mesure et simulation de la capacité minimale en fonction de l'épaisseur du box sur un dispositif FD SOI nMOS avec un $T_{si} = 10$ nm

Il ne faut pas oublier les valeurs des capacités liées aux jonctions S/D-Box qu'on peut considérer comme uniforme dans notre calcul est défini par l'équation (III.28) [Laco12] (Figure III.32).

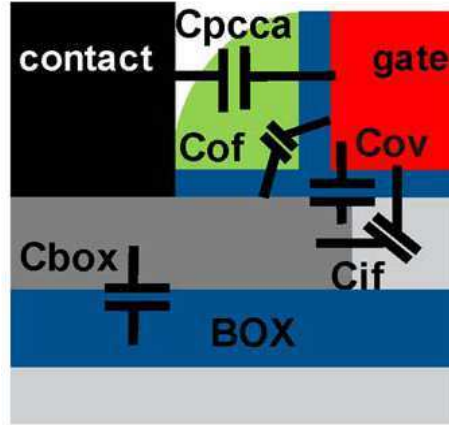


Figure III.32 Illustration schématique de la capacité C_{box} [Laco12]

$$C_{Box} = W \frac{(CPP - L_g) \epsilon_{Box}}{2 T_{Box}} \quad (III.28)$$

Avec CPP le 'Contacted Poly Pitch' qui représente la distance entre les prises de contact de la source, du drain et de la grille.

La figure suivante résume le pourcentage des différentes contributions de chacune des composantes de la capacité dans la structure FD SOI. Elle montre ainsi la prédominance des composantes d'overlap et d'espaceur sur la capacité totale par rapport à la capacité de bord interne (passe par une valeur maximale pour $L_g \sim 20$ nm) et les capacités liées au Box pour les faibles longueurs de grille.

Notons que la contribution de ces capacités devient faible pour les canaux longs.

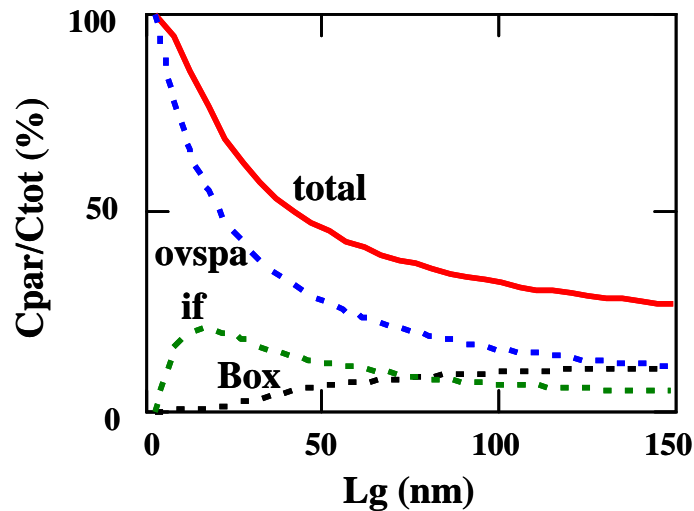


Figure III.33 Simulations des contributions des capacités (C_{if} , C_{Box} , C_{ovspa}) dans la capacité totale simulée en fonction de la longueur de grille sur un dispositif FD SOI

3) Extraction de la longueur effective L_{eff}

Les valeurs de $C_{max}-C_{min}$ varient linéairement en fonction de la longueur de grille mais avec une faible pente. Cet effet est dû à la variation de la capacité C_{min} causé par la variation de la valeur de la capacité de bord interne C_{if} avec la longueur de grille.

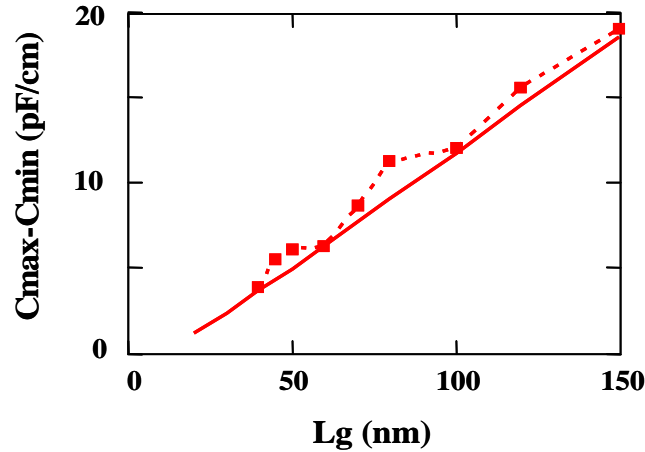


Figure III.34 Variation des mesures (symboles) et simulations (lignes) de $C_{max}-C_{min}$ (Valeurs prises selon III.2.1) avec la longueur de grille d'un dispositif nMOS FD SOI ($T_{si}=10$ nm, $T_{box}=10$ nm)

Cette caractéristique nous révèle qu'il n'est pas possible d'extraire la longueur effective du canal avec exactitude selon la méthode de Fleury [ref] dans le cas des dispositifs FD SOI car la valeur de C_{min} est variable et dépend de la longueur de grille. D'où l'intérêt des structures Gated Diode (Figure III.27).

Nous avons calculé l'erreur que l'on peut obtenir sur la valeur extraite de la longueur effective (extraite à partir de l'équation II.44) en utilisant nos outils de simulation. Cette opération a été effectuée tout d'abord sur un dispositif Bulk.

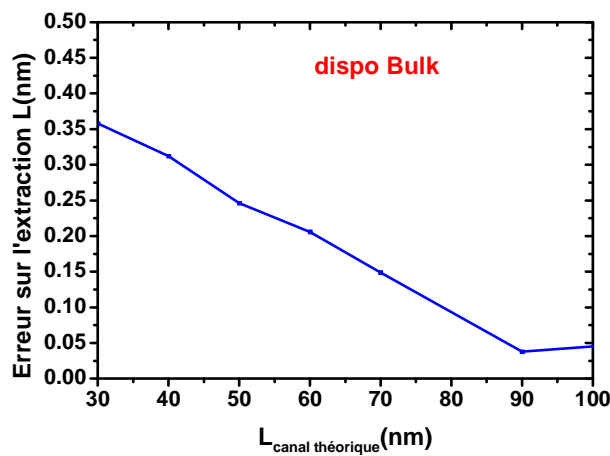


Figure III.35 Extraction de l'erreur en fonction de la longueur sur l'extraction de la longueur effective du canal d'un nMOS Bulk (Profondeur de jonction simulée $X_i=100$ nm)

Cette figure montre une erreur absolue maximale entre la longueur extraite et la longueur métallurgique dans le cas d'une jonction infiniment abrupte de 0.35 nm sur une longueur de 30 nm. Cette simulation a été effectuée pour le cas d'un nMOS FD SOI avec un $T_{Si}=10$ nm et $T_{box}=10$ nm (Figure III.36) qui montre une erreur de 0.8 nm pour la longueur de 30 nm.

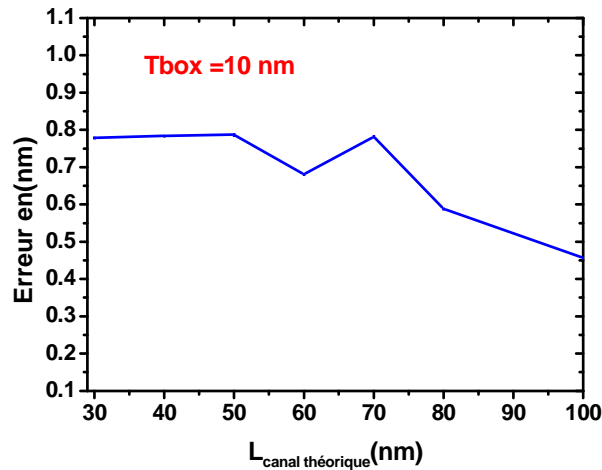


Figure III.36 Extraction de l'erreur en fonction de la longueur sur l'extraction de la longueur effective du canal d'un nMOS FD SOI ($T_{Si}=10$ nm et $T_{box}=10$ nm)

La différence d'erreur entre les deux dispositifs peut être attribuée à la variation de la valeur de C_{min} en fonction de la longueur à cause de la variation de la capacité de bord interne C_{if} et la capacité de 'Box Fringe' C_{bf} qui rajoute une erreur supplémentaire ce qui complique encore plus l'extraction sur les dispositifs FD SOI par rapport aux Bulk. Cette erreur systématique reste toutefois modérée car inférieure à 1nm.

La figure III.37 montre les valeurs de la longueur effective ainsi extraite sur des dispositifs FD SOI avec ($T_{Si}=8$ nm, $T_{Box}=10$ nm) et différents types de plan de masse. Cette figure montre qu'il y a une légère différence entre la longueur du masque et la longueur électrique, attribuable principalement à la diffusion des dopants dans la zone d'overlap.

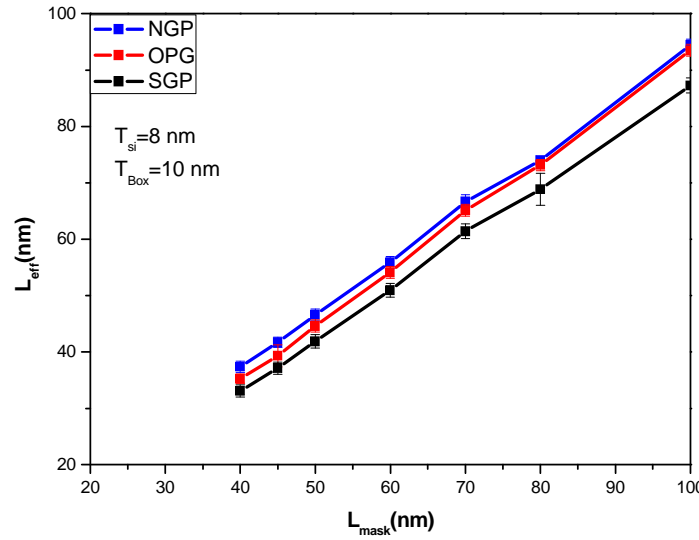


Figure III.37 Extraction du L_{eff} en fonction du L_{mask} sur des transistors nMOS FD SOI avec ($T_{si}=8$ nm, $T_{box}=10$ nm)

IV. Exploitation des mesures capacitives sur le dispositif FD SOI

Dans cette partie nous allons introduire une nouvelle méthode fiable pour extraire les paramètres électriques sur les transistors de type FD SOI avec plus de précision. Nous détaillerons le calcul et les approximations effectuées ainsi que les démonstrations des équations utilisées.

1) Fonction de Maserjian

Maserjian et al [Mase74] ont proposé une fonction qui permet d'extraire la valeur de la capacité d'oxyde C_{ox} en utilisant des mesures C-V. Cette méthode est la plus rigoureuse comparée à celles du C_{max} qui consiste à considérer la valeur max de $C_{gc}(V_g)$ prise en forte inversion comme valeur du C_{ox} , ou la méthode $1/C^2$ définie par l'équation III.29 qui nécessite l'extraction de la tension de bandes plates V_{fb} pour extraire le C_{ox} qui correspond à l'ordonnée à l'origine.

$$\frac{1}{C^2} = \frac{1}{C_{ox}^2} + \frac{2}{q\epsilon_{si}N_a}(V_g - V_{fb}) \quad (III.29)$$

G.Ghibaudo et al [Ghib00] ont repris l'expression analytique de Maserjian et ont défini la fonction "Y Maserjian fonction" Y_m définie par l'équation suivante (Annexe III.1) (Figure III.38).

$$Y_m(V_g) = \frac{1}{C^3} \frac{\partial C}{\partial V_g} \quad (III.30)$$

Cette expression est indépendante de la valeur de la capacité d'oxyde et permet d'extraire la tension de bandes plates V_{fb} ainsi que la valeur du dopage du canal N_a .

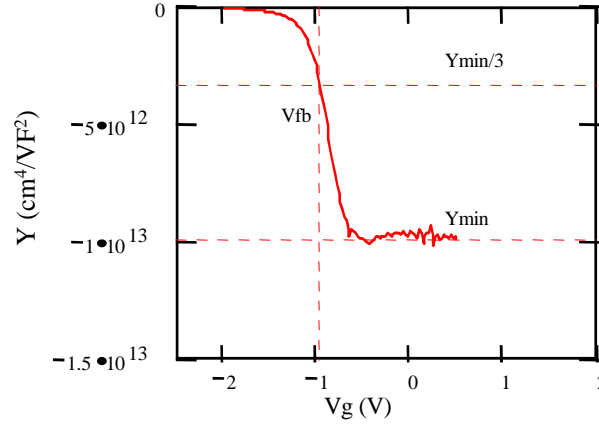


Figure III.38 Extraction de N_a et V_{fb} en utilisant la fonction Y_m [Ghib00]

Si on utilise l'approximation de désertion totale, on peut montrer que la fonction Y_m présente un plateau pour $V_{FB} < V_g < V_{th}$, dont la valeur est donnée par Y_{min} et avec lequel on extrait la valeur du dopage N_a dans le canal tel que.

$$Y_{min} = -\frac{1}{q\epsilon_{si}N_a} \quad (III.31)$$

Et la valeur pour laquelle $V_g = V_{FB}$, correspond à $Y_m(V_g = V_{FB}) = Y_{min}/3$ tel que

$$Y_m(V_g = V_{FB}) = \frac{Y_{min}}{3} = -\frac{1}{3q\epsilon_{si}N_a} \quad (III.32)$$

2) Nouvelle fonction Y_m pour FD SOI

Nous proposons dans cette partie une nouvelle méthode d'extraction de paramètres électriques basée sur l'exploitation des mesures split CV et de la fonction de Maserjian sur les dispositifs FD SOI. Cette nouvelle méthode permet d'avoir une loi de dépendance avec la charge d'inversion (proportionnelle à Q_i^{-2}) pour n&pMOS et pour différents empilements de grille [Bena12a].

L'équation de conservation de charges dans les dispositifs FD SOI s'écrit :

$$Q_i + Q_d = C_{oxf}(V_{gf} - V_{FB}^f - V_{sf}) + C_{oxb}(V_b - V_{FB}^b - V_{sb}) \quad (III.33)$$

Avec Q_i la charge d'inversion, Q_d la charge de déplétion telle que $Q_d = qN_a t_{si}$, N_a la concentration des impuretés, t_{si} l'épaisseur du film de Silicium, $C_{oxf/b}$, $V_{FB}^{f/b}$, $V_{sf/b}$ sont respectivement la capacité d'oxyde face avant et face arrière, la tension de bandes plates face avant et face arrière et le potentiel de surface face avant et face arrière.

En prenant la capacité comme la dérivée de la valeur algébrique de la charge telle que $C = \left| \frac{\partial Q}{\partial V} \right|$. Un simple développement de l'équation (III.33) (Annexe III.2) nous permet

d'écrire l'équation (III.34) en négligeant la charge de déplétion qui est nulle dans les

dispositifs FD SOI, car le niveau de dopage est très faible environ $2 \cdot 10^{15} \text{at/cm}^3$. Il est évident, donc que cette approximation ne peut pas être faite dans le cas des dispositifs sur substrat massif.

$$\frac{1}{C_{gc}} = \frac{1}{C_{oxf}} + \frac{1}{\frac{\partial Q_i}{\partial V_{sf}}} + \frac{C_{oxb}}{C_{oxf}} \frac{1}{\frac{\partial Q_i}{\partial V_{sb}}} \quad (\text{III.34})$$

Avec un box ultra mince, on peut faire l'approximation suivante $C_{oxb} \ll C_{oxf}$ d'où

$$\frac{1}{C_{gc}} \approx \frac{1}{C_{oxf}} + \frac{1}{\frac{\partial Q_i}{\partial V_{sf}}} \quad (\text{III.35})$$

En considérant la statistique de Boltzmann sur un canal long et de faible épaisseur l'expression de la charge d'inversion Q_i est proportionnelle à $\exp(\beta V_{sf})$ avec $\beta = \frac{q}{k_B T}$ ce qui nous permet de simplifier l'équation (III.35) [Poir11] tel que :

$$C_{gc} = \frac{\beta Q_i C_{oxf}}{C_{oxf} + \beta Q_i} \quad (\text{III.36})$$

L'équation qu'on vient de démontrer est à la base de notre calcul, car elle nous permet de simuler la capacité grille-canal C_{gc} et $\left| \frac{dC_{gc}}{dV_{gf}} \right|$ en fonction de la charge d'inversion (figure III.39).

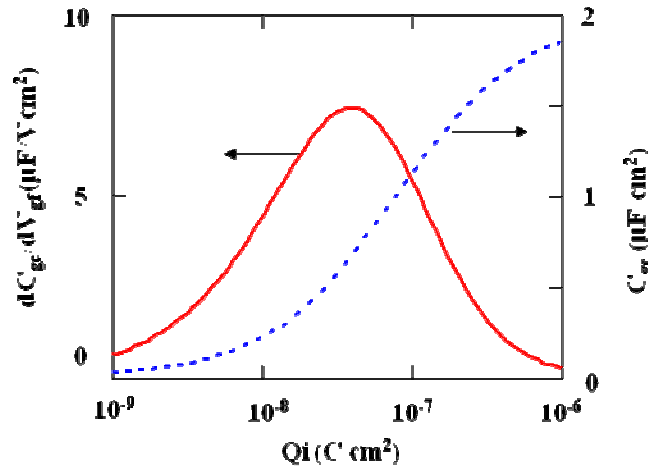


Figure III.39 Modélisation de la variation de C_{gc} et dC_{gc}/dV_{gf} en fonction de la charge d'inversion ($C_{oxf} = 2 \cdot 10^{-7} \text{ F/cm}^2$)

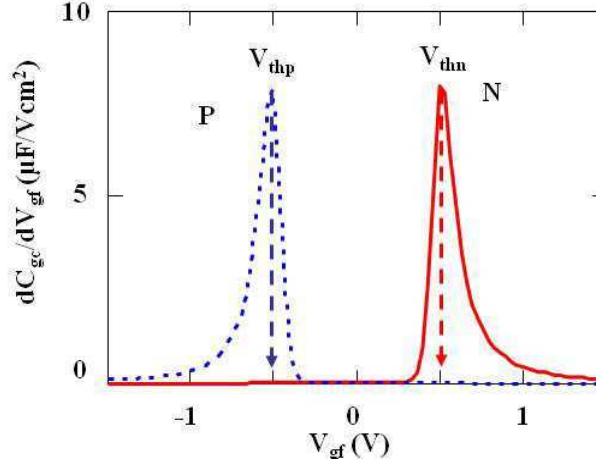


Figure III.40 Modélisation de la variation de dC_{gc}/dV_{gf} en fonction de la tension de grille face avant

Cette charge simulée passe par une valeur maximale pour n&pMOS qui permet de définir la valeur de la charge d'inversion qui correspond à la charge de la tension de seuil tel que :

$$Q_{ith} = \frac{C_{oxf}}{2\beta} \quad (III.37)$$

Cette valeur correspond aussi à la valeur de $C_{gc} = C_{oxf}/3$.

À partir de l'équation (III.37) et de [Poir11] on peut définir les expressions des tensions de seuil pour n&pMOS (Figure III.40).

$$V_{thn} \approx V_{FB}^f + k_B T \ln \left(\frac{Q_{ith}^2}{2q\epsilon_{si} n_i k_B T} \right) + \frac{Q_{ith} + Q_d}{C_{oxf}} \quad (III.38)$$

$$V_{thp} \approx V_{FB}^f - k_B T \ln \left(\frac{Q_{ith}^2}{2q\epsilon_{si} n_i k_B T} \right) - \frac{Q_{ith} - Q_d}{C_{oxf}} \quad (III.39)$$

Où n_i est la densité des porteurs intrinsèques.

En additionnant les l'équations (III.38&39) on peut extraire l'expression de la tension de bande plate face avant V_{FB}^f qui dépend donc de la valeur médiane entre les deux tensions de seuil et de la charge de déplétion, charge négligeable dans le cas des dispositifs FD SOI tel que :

$$\frac{V_{thn} + V_{thp}}{2} = V_{FB}^f + \frac{Q_d}{C_{oxf}} \quad (III.40)$$

Cependant, toute déviation dans la symétrie due par exemple, à la densité de charges dans le canal fait changer la valeur de la tension de bande plate.

Des mesures sur des structures de 'Gated Diode' (Figure III.25) ainsi que des simulations ont été réalisées. En connectant le terminal « Low » de l'analyseur d'impédance d'un côté ou de l'autre de la grille, on peut mesurer sur cette structure la réponse capacitive des trous pour les valeurs négatives de V_{gf} d'une part, et la réponse des électrons pour les valeurs

positives de V_{gf} d'autre part (Figure III.41). Ces mesures ont été ainsi parfaitement modélisées en utilisant l'équation (III.36) en y ajoutant les valeurs des charges d'inversions intégrées à partir des mesures capacitives.

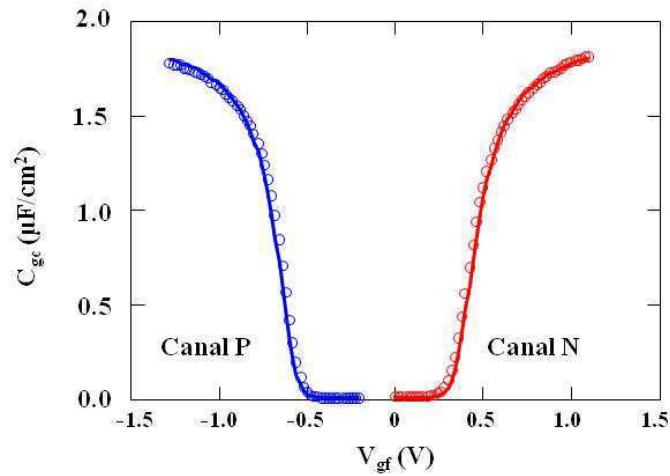


Figure III.41 Mesures (symboles) modélisations (Lignes) de la capacité $C_{gg}(V_{gf})$ sur une structure Gated Diode ($T_{si}=8$ nm, $T_{Box}=25$ nm, $C_{ox}= 1.9 \mu F/cm^2$) ($LxW=10x10\mu m^2$)

Connaissant les valeurs de tension de seuil correspondant à chaque type de canal ($V_{thn} = 0.4$ V, $V_{thp}=-0.7$ V) nous avons extrait la valeur de la tension de bande plate en utilisant les équations (III.38&39) et en superposant les courbes expérimentales comme illustré sur la figure III.42. On calcule la valeur de $V_{fbf}=-0.15$ V. Cette méthode constitue une bonne technique pour avoir une valeur approchée de la tension de bande plate sur les structures FD SOI.

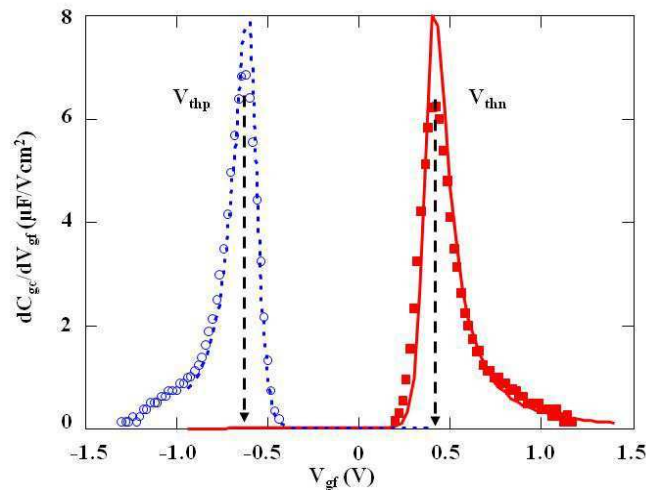


Figure III.42 Mesures (symboles) et modélisations (Lignes) de la dérivée de la capacité dC_{gg}/dV_{gf} en fonction de la tension de grille sur une structure Gated Diode ($T_{si}=8$ nm, $T_{Box}=25$ nm, $C_{ox}= 1.9 \mu F/cm^2$) ($LxW=10x10\mu m^2$)

D'autres mesures capacitives ainsi que des modélisations ont été réalisées sur des structures différentes à diélectrique mince (GO1) ($TiN/High-k$ $C_{ox1}=2.4 \mu F/cm^2$) et à diélectrique épais (GO2) ($Poly(4\text{ nm})/SiO_2$ $C_{ox2}=1\mu F/cm^2$) (Figure III.43)

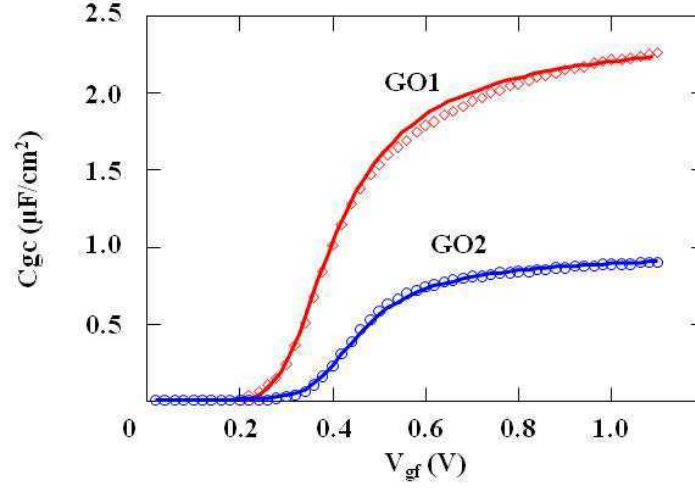


Figure III.43 Mesures (symboles) et modélisations (Lignes) de la capacité C_{gc} en fonction de la tension de grille sur une structure nMOS GO1 et GO2 ($L \times W = 10 \times 10 \mu m^2$, $T_{si} = 8 \text{ nm}$, $T_{Box} = 25 \text{ nm}$)

Ces modélisations dépendent néanmoins du paramètre β défini dans l'équation (III.36). Si dans la figure III.41 ce paramètre vaut $25/V$ il est égal à $\beta_1 = 20/V$ dans la figure III.43. La différence entre ces deux valeurs peut-être attribuée à l'insuffisance de la statistique de Boltzmann qui devient invalide en forte inversion. Elle peut être due aussi aux effets de confinement quantique qui deviennent non négligeables.

D'un autre côté la fonction de Maserjian peut ainsi s'écrire sous la forme définie par l'équation III.41

$$Y_m = \frac{1}{C_{gc}^3} \frac{dC_{gc}}{dV_{gf}} = - \frac{d(1/C_{gc})}{dQ_i} \quad (\text{III.41})$$

Ainsi :

$$Y_m = \frac{1}{\beta Q_i^2} \quad (\text{III.42})$$

L'équation (III.42) montre ainsi la dépendance de la nouvelle fonction de Maserjian $Y_m(Q_i)$ en fonction de Q_i^{-2} pour n&pMOS et pour n'importe quel empilement de grille. Les figures III.44-46 montrent une remarquable loi de dépendance de $Y_m(Q_i)$ avec Q_i^{-2} et cela sur plusieurs décades sur la structure 'Gated Diode' (Figure III.44) ainsi que sur les structures GO1 et GO2 n&pMOS (Figures III.45-46)

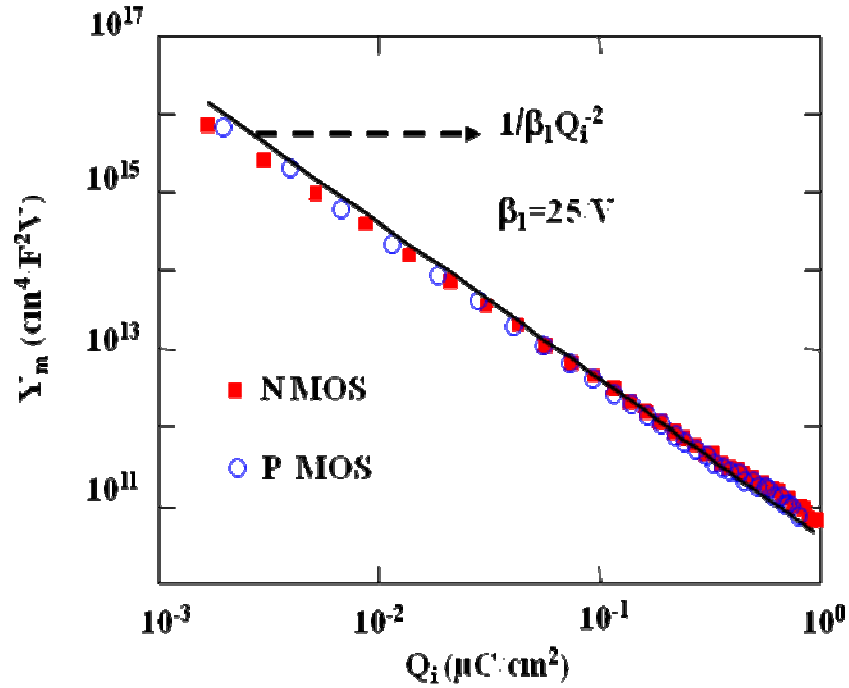


Figure III.44 Mesures (Symboles) et modélisations (Lignes) de la fonction $Y_m(Q_i)$ sur la structure Gated Diode pour des canaux N et P ($L \times W = 10 \times 10 \mu\text{m}^2$, $T_{\text{si}} = 8 \text{ nm}$, $T_{\text{box}} = 25 \text{ nm}$)

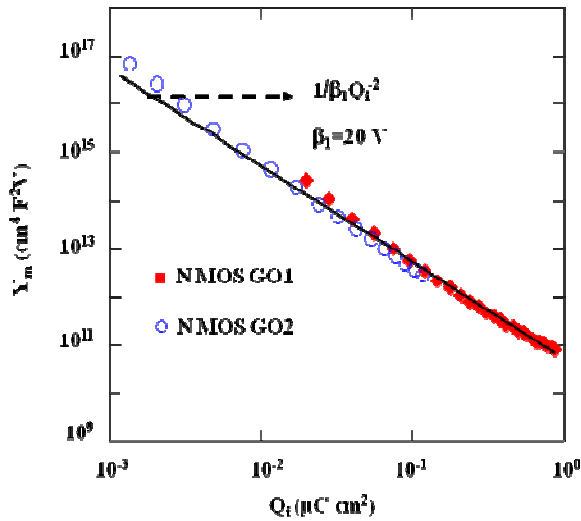


Figure III.45 Mesures (Symboles) et modélisations (Lignes) de la fonction $Y_m(Q_i)$ sur la structure nMOS ($L \times W = 10 \times 10 \mu\text{m}^2$, $T_{\text{si}} = 8 \text{ nm}$, $T_{\text{box}} = 25 \text{ nm}$)

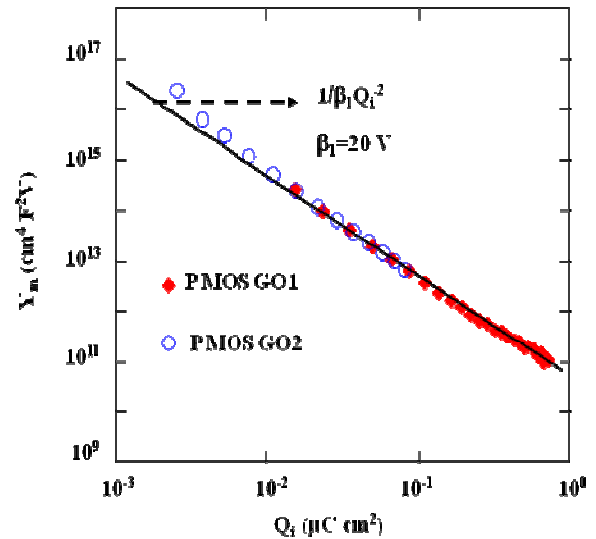


Figure III.46 Mesures (Symboles) et modélisations (Lignes) de la fonction $Y_m(Q_i)$ sur la structure pMOS ($L \times W = 10 \times 10 \mu\text{m}^2$, $T_{\text{si}} = 8 \text{ nm}$, $T_{\text{box}} = 25 \text{ nm}$)

Ces courbes nous permettent aussi de valider notre modèle (éq III.36) et de nous assurer de la pertinence de nos calculs.

Notre modèle nous permet aussi d'extraire la capacité de l'oxyde équivalente qui correspond à l'ordonnée à l'origine de la droite (éq III.43) (Figure III.47) (capacité d'oxyde extraite ici $C_{\text{oxf}} = 1.9 \mu\text{F}/\text{cm}^2$).

$$\frac{1}{C_{gc}} = \frac{1}{C_{oxf}} + \frac{1}{\beta_i Q_i} \quad (\text{III.43})$$

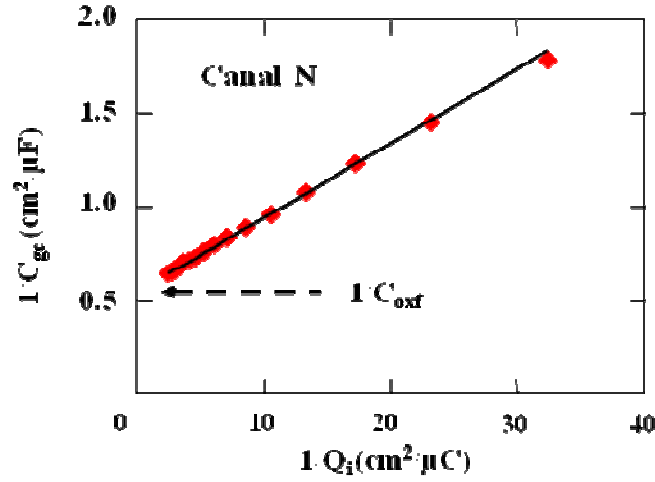


Figure III.47 Mesures (Symboles) et modélisations (Lignes) de $1/C_{gc}$ en fonction de $1/Q_i$ dans un transistor nMOS ($L \times W = 10 \times 10 \mu\text{m}^2$, $T_{\text{si}} = 8 \text{ nm}$, $T_{\text{box}} = 25 \text{ nm}$) permettant d'extraire le C_{ox}

Nous avons utilisé les propriétés de la fonction Y_m pour définir une nouvelle équation (éq III.44) qui nous permet d'extraire l'épaisseur équivalente de l'oxyde CET, mais en fonction de la charge d'inversion dans le canal, qui atteint une valeur ici de 1.75 nm (Figure III.48).

$$\text{Epaisseur}(Q_i) = \left(\frac{1}{C_{gc}} - Y_m Q_i \right) \cdot \epsilon_{ox} \quad (\text{III.44})$$

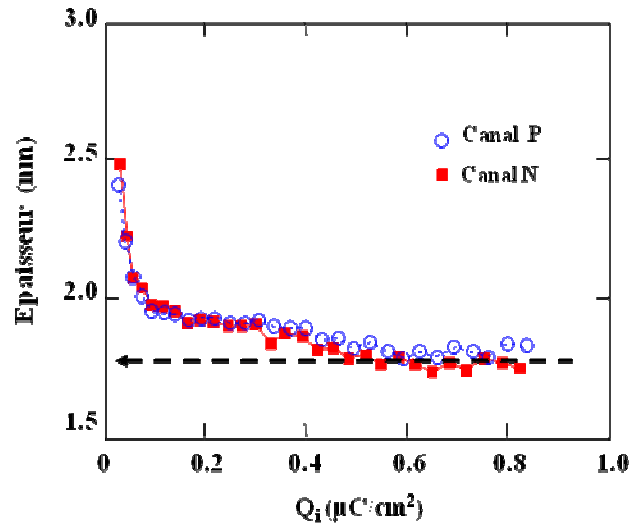


Figure III.48 Mesures (Symboles) de la fonction épaisseur en fonction de la charge d'inversion de transistors n et pMOS ($L \times W = 10 \times 10 \mu\text{m}^2$, $T_{\text{si}} = 8 \text{ nm}$, $T_{\text{box}} = 25 \text{ nm}$)

V. Conclusion

Ce chapitre, dédié à la compréhension de la réponse capacitive sur les structures FD SOI nous a permis de recueillir des informations importantes sur les différentes capacités parasites présentes sur ce type de dispositifs.

La première partie de cette étude a été consacrée à la modélisation analytique des différentes composants de la réponse capacitive, et a permis de mieux comprendre particulier l'influence des capacités parasites comme la capacité de bord interne sur les transistors courts.

En second lieu nous avons mis au point une nouvelle méthodologie permettant d'extraire entre autres la capacité de l'oxyde avec plus de rigueur et donner une estimation de la valeur de la tension de bande plate.

Nous avons démontré la dépendance de la fonction de Maserjian Y_m en l'inverse de la charge au carré ce qui nous permet de modéliser la réponse capacitive.

Cependant, avec la réduction des dimensions une modélisation prenant en compte les effets quantiques semble indispensable.

Annexe III.1

La fonction de Maserjian est défini comme suit $Y_m = \frac{1}{C^3} \frac{dC}{dV_g}$ cette fonction est rigoureusement définie par $Y_m = \frac{1}{C_s^3} \frac{dC_s}{dV_s}$, c'est à dire indépendante de C_{ox} . Cette fonction ne dépend que de la charge dans le semi-conducteur

En effet $Y_m = \frac{1}{C^3} \frac{dC}{dV_g} = -\frac{1}{C} \frac{dC^{-1}}{dV_g}$ or $\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_s}$ donc : $Y_m = -\frac{1}{C} \frac{dC^{-1}}{dV_g}$ d'autre part

$V_g = V_{FB} + V_s - \frac{Q_s}{C_{ox}}$ où Q_s désigne la charge totale) donc $\frac{dV_g}{dV_s} = 1 + \frac{C_s}{C_{ox}}$ puisque $C_s = -\frac{dQ_s}{dV_s}$

On peut écrire $Y_m = -\frac{1}{C} \frac{dC^{-1}}{dV_g} = -\frac{1}{C} \frac{dV_{s0}}{dV_g} \frac{dC^{-1}}{dV_s} = -\frac{1}{C} \frac{C_{ox} C_s}{C_{ox} + C_s} \frac{1}{C_s} \frac{dC^{-1}}{dV_s}$

Or $C = \frac{C_{ox} C_s}{C_{ox} + C_s}$ d'où $Y_m = \frac{1}{C_s^3} \frac{dC_s}{dV_s}$

Annexe III.2

$dQ_{inv} = C_{ox1} dV_{g1} - C_{ox1} dV_{s1} - C_{ox2} dV_{s2}$ On divise cette expression par $C_{ox1} dQ_{inv}$ ce qui permet d'écrire l'équation

$$\frac{1}{C_{ox1}} = \frac{1}{C_{gc}} - \frac{1}{\frac{\partial Q_{inv}}{\partial V_{s1}}} - \frac{C_{ox2}}{C_{ox1}} \frac{1}{\frac{\partial Q_{inv}}{\partial V_{s2}}} \quad \text{d'où} \quad \frac{1}{C_{gc}} = \frac{1}{C_{ox1}} + \frac{1}{\frac{\partial Q_{inv}}{\partial V_{s1}}} + \frac{C_{ox2}}{C_{ox1}} \frac{1}{\frac{\partial Q_{inv}}{\partial V_{s2}}}$$

Références

- [Alle99] D. Allen et al. "A 0.2 μ m 1.8V SOI 550MHz 64b Power PC Microprocessor with copper Interconnects" International Solid-State Circuits Conference, pp. 438-439, (1999).
- [Bena12] Imed Ben Akkez, Antoine Cros, Claire Fenouillet-Beranger, P. Perreau, A. Margain, Frederic Boeuf, Francis Balestra, Gérard Ghibaudo "Characterization and modeling of capacitances in FD-SOI devices" Solid-State Electronics, Volume 71, Pages 53-57 (2012).
- [Bena12a] I. Ben Akkez, A. Cros, C.Fenouillet-Beranger, F. Boeuf, Q. Rafhay, F. Balestra, G. Ghibaudo "New parameter extraction method based on split C-V for FDSOI MOSFETs" Essderc (2012).
- [Chen92] Chen, J.Solomon, R.; Chan, T.-Y.; Ko, P.K.; Hu, C. "Threshold voltage and C-V characteristics of SOI MOSFET's related to Si film thickness variation on SIMOX wafers" Electron Devices, IEEE Transactions on, Volume: 39 , Issue: 10 Page(s): 2346 - 2353 (1992)
- [Chen06] Chien-Chung Chen, Kuo.J.B; Ke-Wei.Su, Sally Liu "Analysis of the gate-source/drain capacitance behavior of a narrow-channel FD SOI NMOS device considering the 3-D fringing capacitances using 3-D simulation" Electron Devices, IEEE Transactions on Volume: 53, Issue: 10 Page(s): 2559 - 2563 (2006)
- [Fleu08] D.Fleury, A.Cros, K.Romanjek, D.Roy, F.Perrier, B.Dumont, H.Brut, G.Ghibaudo "Automatic Extraction Methodology for Accurate Measurements of Effective Channel Length on 65-nm MOSFET Technology and Below" Semiconductor Manufacturing, IEEE Transactions on Volume: 21 , Issue: 4 Page(s): 504 - 512 (2008)
- [FLEXpde] Ce logiciel à usage général permet d'obtenir des solutions numériques aux équations aux dérivées partielles en 2 ou 3 dimensions. Il est basé sur la méthode des éléments finis. <http://www.pdesolutions.com/>.
- [Ghib00] G.Ghibaudo et al "Improved Method for the oxide thickness extraction in MOS structures with ultrathin gate dielectrics" IEEE Transactions on Semiconductor Manufacturing, Vol. 13, No. 2, (2000)
- [Kim06] Seung-Hwan Kim; Fossum, J.G; Ji-Woon Yang "Modeling and Significance of Fringe Capacitance in Nonclassical CMOS Devices with Gate-source/Drain

- Underlap” Electron Devices, IEEE Transactions on Volume: 53, Issue: 9
Page(s): 2143-2150 (2006)
- [Laco12] Joris Lacord, Gérard Ghibaudo, and Frédéric Boeuf “Comprehensive and Accurate Parasitic Capacitance Models for Two- and Three-Dimensional CMOS Device Structures” IEEE Transaction on Electron Devices, Vol.59, No 5 page 1332, (2012)
- [Mase74] J. Maserjian, G. Petersson, C. Svensson “Saturation capacitance of thin oxide MOS structures and the effective surface density of states of silicon” Solid-State Electronics Volume 17, Issue 4, Pages: 335–339, (1974)
- [Poir11] T.Poiroux, F.Andrieu, O.Weber, C.Fenouillet-Béranger, C.Buj-Dufournet, P.Perreau, L.Tosti, L.Brevard, O.Faynot, “Ultrathin Body Silicon on Insulator Transistors for 22 nm Node and Beyond”, Semiconductor-On-Insulator Materials for Nanoelectronics Applications, pages 155-168 edition Springer (2011)
- [Prég02] Fabien Prégaldiny, Christophe Lallement, Daniel Mathiot “A simple efficient model of parasitic capacitances of deep-submicron LDD MOSFETs” Solid-State Electronics Volume 46, Issue 12, Pages 2191–2198, (2002)
- [Roma04] K .Romanjek et al. “Improved split C–V method for effective mobility extraction in sub-0.1 μm Si MOSFETs”. IEEE Electron Dev Lett page 583 (2004).
- [Shah99] Ghavam Shahidi, et al. “Partially-Depleted SOI Technology for Digital Logic” IEEE International Solid-State Circuits Conference, 1999
- [Shah02] G.G. Shahidi “SOI technology for GHz era” IBM Journal of Research and Development Page 121, (2002)
- [Shri82] R, Shrivastava. K ,Fitzpatrick. “A simple model for the overlap capacitance of a VLSI MOS device” Electron Devices, IEEE Transactions on Volume: 29, Issue: 12 Page(s): 1870-1875 (1982)
- [Suzu99] K. Suzuki, “Parasitic capacitance of sub micrometer MOSFET's” IEEE Trans. Electron Devices, vol. 46, no. 9, pp. 1895-1900, (1999)
- [Waki00] N. Wakita and N. Shigyo, “Verification of overlap and fringing capacitance models for MOSFET's” Solid-State Electron., vol. 44, pp. 1105-1109, (2000)

Chapitre IV: Etude du transport dans les dispositives MOS FD SOI

Chapitre IV : Étude du transport dans les dispositifs MOS FD SOI

I.	Introduction	130
II.	Étude théorique du transport.....	130
1)	Modèle de Drude	130
2)	Modèle de dérive-diffusion.....	131
3)	Du transport quasi balistique au transport balistique	131
III.	Les principaux mécanismes de collisions	132
1)	Interactions Coulombiennes (Coulomb Scattering).....	133
2)	Interaction avec les vibrations du réseau ou phonons	135
1.	Intéactions avec les phonons acoustique :.....	135
2.	Diffusion à travers les phonons optiques	136
3)	Intéactions avec les rugosités de l'interface diélectrique-silicium.....	136
4)	Diffusion par des défauts neutres ponctuels.....	138
IV.	La notion de mobilité effective μ_{eff}	138
V.	Caractérisation et modélisation de l'impact de la polarisation face arrière sur la mobilité effective	139
VI.	Solutions d'amélioration de la mobilité.....	142
1)	Silicium contraint	142
1.	Tenseur de contrainte et déformation : définition.....	143
2.	Effet de la contrainte sur la mobilité	144
3.	sSOI et Couche d'arrêt de gravure CESL (Contact Etch Stop Layer).....	148
4.	Effet indésirable dû à la contrainte.....	152
2)	Orientation cristalline	152
VII.	Étude basse température	155
1)	Étude comparative entre substrats tourné 45° et non tourné.....	156
2)	Étude comparative des mobilités entre FD SOI et Silicium massif	160
VIII.	Transport en régime de saturation.....	163
1)	Transport stationnaire	163
1.	Vitesse de dérive V_{drift}	164
2.	Vitesse de saturation V_{sat}	165

2) Le transport non-stationnaire.....	166
1. Le phénomène de survitesse ‘overshoot’	166
2. Transport balistique et quasi balistique.....	167
IX. Conclusion	170

Chapitre IV : Étude du transport dans les dispositifs MOS FD SOI

I. Introduction

Ce dernier chapitre est dédié à l'étude et à la compréhension des mécanismes de transport dans les dispositifs MOSFET FD SOI. Dans une première partie nous expliquerons les différents mécanismes de collision dans le canal et nous détaillerons leurs rôles dans la réduction des performances en se basant sur des mesures de la mobilité effective à différentes températures. Ensuite nous étudierons quelques solutions comme la contrainte mécanique ou l'orientation cristallographique afin d'améliorer les propriétés de transport dans les canaux courts. La dernière partie de ce chapitre sera consacrée à l'étude de la mobilité en régime de saturation.

II. Étude théorique du transport

L'étude théorique va nous permettre de mieux appréhender les différences entre les régimes et les modèles de transport (dérive-diffusion, quasi balistique, balistique...). Elle permet aussi d'introduire des concepts élémentaires comme le temps de relaxation et les mécanismes de collisions et de regarder au delà des frontières de notre conception habituelle du transport dans les MOSFETs.

1) Modèle de Drude

La notion de transport fait référence à la manière dont les porteurs circulent dans le canal de conduction entre source et drain. Plusieurs modèles et théories permettent de décrire ce qui se passe dans le canal. Elles dépendent néanmoins de la longueur effective du canal et du libre parcours moyen des porteurs.

trajectoire d'un électron traversant le canal entre la source et drain est aléatoire. Cet électron se trouve dévié à cause des interactions successives avec son environnement au cours de son parcours. Cette déviation, en énergie et en moment, est causée par de nombreux mécanismes de collisions. Ce phénomène peut être modélisé par le modèle de "Drude" (IV.1-3) qui prend en compte ces effets

$$\frac{dV_d}{dt} = -q \frac{\mathcal{E}}{m^*} - \frac{V_d}{\tau_{col}} \quad (\text{IV.1})$$

$$V_d = \mu \mathcal{E} \quad (\text{IV.2})$$

$$\mu = \frac{q \cdot \tau_{col}}{m^*} \quad (\text{IV.3})$$

Où V_d est la vitesse de dérive des porteurs, m^* est la masse effective et τ_{col} est la durée moyenne entre deux collisions successives 'temps de relaxation', $1/\tau_{col}$ représente ainsi le taux d'interaction (nombre de collision par seconde) et \mathcal{E} le champ électrique appliqué.

Le concept de la mobilité μ introduit dans les équations (IV.2-3) ou mobilité effective μ_{eff} permet d'établir un lien simple entre le champ électrique appliqué et la vitesse de dérive. Dans ce cas, on fait l'hypothèse que la relaxation en énergie des porteurs lors d'une interaction est totale.

Cependant, ce modèle reste simpliste pour la modélisation des collisions et arrive à sa limite pour la prédiction de la mobilité en fonction de la température.

2) Modèle de dérive-diffusion

Ce modèle est plus complet que le modèle de Drude. Il se base sur la résolution des équations de transport de Boltzmann. L'approche dérive-diffusion prend en considération deux aspects du transport :

- Dérive : Sous l'effet d'un champ électrique, les porteurs acquièrent une vitesse dans la direction opposée du champ qui est la vitesse de dérive V_d (Drift Velocity)
- Diffusion : Sous l'effet du gradient de concentration, des porteurs vont diffuser pour atteindre une distribution uniforme de charges dans le canal et atteindre l'équilibre thermodynamique.

L'équation (IV.4) représente l'équation de base de ce modèle.

$$j = q(n_{inv} \cdot \mu \cdot \mathcal{E} + D \cdot \nabla n_{inv}) \quad (IV.4)$$

Avec n_{inv} est la densité volumique des porteurs libres et D est le coefficient de diffusion relié au terme de mobilité avec la relation d'Einstein.

$$D = \mu \cdot \frac{k_B T}{q} \quad (IV.5)$$

Avec k_B la constante de Boltzmann et T la température.

En inversion forte, où le mécanisme de diffusion est dominant, ce modèle est équivalent au précédent.

La validité des modèles qu'on vient d'évoquer dépend néanmoins de la longueur de grille et du libre parcours moyen des porteurs.

3) Du transport quasi balistique au transport balistique

Le libre parcours moyen des porteurs λ est défini comme la distance que parcourt une particule entre deux chocs successifs. Ce libre parcours moyen est alors explicité par l'équation (IV.6). [Asch76]

$$\lambda = V_{th} \tau_{col} \quad (IV.6)$$

$$\frac{1}{2} m^* V_{thé}^2 = \frac{3}{2} k_B T \quad (IV.7)$$

A 300K, la vitesse thermique moyenne des électrons $V_{thé}$ dans Si est d'environ 10^7 cm/s et le libre parcours moyen λ est déterminé par le temps de relaxation entre deux collisions τ_{col} qui est de l'ordre de 0.1 à 1 ps, d'où $\lambda = 10$ à 100 nm.

En réduisant les dimensions des transistors, la longueur effective du canal devient du même ordre de grandeur que le libre parcours moyen. On s'attend donc à ce qu'un porteur partant de la source avec une vitesse initiale acquise à son départ puisse arriver sans subir aucun choc au drain. C'est ce qu'on appelle un transport balistique.

Ce modèle de transport fixe ainsi la valeur maximale que peut atteindre le courant et qui devient uniquement limitée par la vitesse d'injection V_{inj} des porteurs au niveau de la source. Dans le cas d'un régime quasi balistique, pour lequel certains porteurs injectés de la source sont rétrodiffusés, on définit un coefficient de rétrodiffusion « r » traduisant la proportion des porteurs qui ne sont pas collectés par le drain.

Cette partie sera discutée en détail dans le paragraphe VIII.2

III. Les principaux mécanismes de collisions

Dans cette partie on se propose donc d'explicitier les différents mécanismes d'interactions subis par les porteurs et d'expliquer les principaux mécanismes de relaxation les plus connus comme les interactions avec les centres Coulombiens, avec les phonons et les rugosités de surface (Figure IV.1). Nous évoquerons aussi d'autres mécanismes de relaxation comme les défauts neutres.

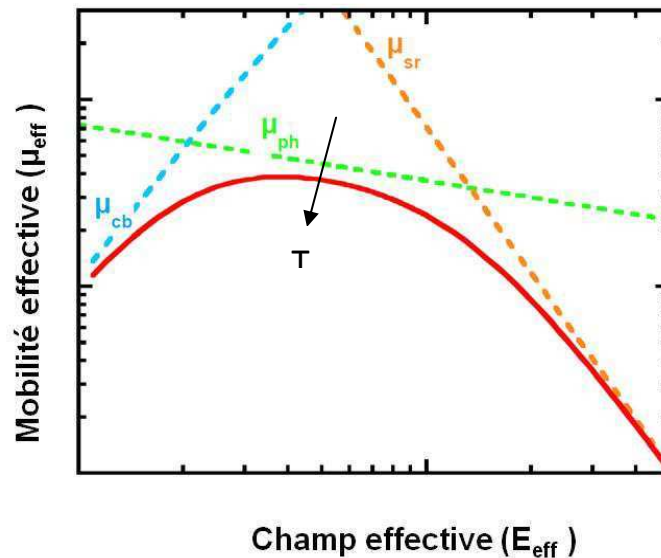


Figure IV.1 Représentation schématique de l'influence sur la mobilité effective des différentes contributions des trois principaux mécanismes de diffusion. Lorsque la température T augmente, la contribution des phonons devient plus importante.

1) Interactions Coulombiennes (Coulomb Scattering)

À faible champ l'influence de ces centres Coulombiens devient importante sur les porteurs dans le canal (porteurs qui ont une faible vitesse). La présence d'un atome ionisé au voisinage de la couche d'inversion crée un potentiel perturbateur avec lequel ces porteurs sont susceptibles d'interagir. L'interaction de Coulomb est ainsi suffisamment forte pour que ces centres puissent avoir de l'influence sur le transport dans le canal. Ces centres Coulombiens perturbateurs proviennent principalement du dopage du canal [Mase83]. En effet, la forte présence d'atomes ionisés due à un fort dopage, en plus d'accroître le champ électrique effectif, conduit à une dégradation de la mobilité des porteurs relative aux interactions Coulombiennes. Cependant, dans le cas des dispositifs FD SOI ce phénomène est réduit puisqu'on ne dope pas ou peu le canal.

De la même manière, les centres Coulombiens présents non plus directement dans le film de silicium mais au voisinage de la charge d'inversion peuvent également avoir un impact sur le libre parcours moyen des porteurs, quoique limité par la distance. Dans ce cas on parle d'interaction Coulombienne à distance (RCS pour Remote Coulomb Scattering). En particulier, l'empilement de grille, peut avoir un impact important sur la mobilité des porteurs dans le canal. Plusieurs études ont montré la dégradation de la mobilité avec l'adoption des diélectriques High-k [Cass06] [Webe06]. La figure IV.2 montre le tracé de la mobilité en fonction de la charge d'inversion et de la température pour différents types d'empilement de grille pour des dispositifs sur silicium massif. Elle met en évidence la prédominance d'interactions Coulombiennes dans la dégradation de mobilité avec le diélectrique High-k ainsi que l'impact du métal de grille TiN dans cette réduction.

L'introduction d'une couche de SiO_2 entre le high-k et le canal, dite oxyde interfacial, améliore la qualité de l'interface, mais l'origine de cette réduction semble provenir d'une densité de charge très élevée à l'interface High-k/ SiO_2 (ou High-K/Si). La figure IV.3 montre que la mobilité est plus importante proche de l'arrière du canal (à l'interface avec l'oxyde enterré) comparé à celle de l'avant du canal pour les MOSFETs/SOI, ce qui suggère l'existence d'un autre mécanisme de dispersion inhérent à l'empilement du high-k de la grille.

Ce mécanisme de réduction peut-être attribué à la formation de dipôles dûs à la différence de densité des atomes d'oxygène à l'interface High-k/ SiO_2 qui perturbe le transport dans le canal et crée un décalage de la tension de seuil [Tats08] [Kita08]. Il est dû aussi à l'augmentation de la distance qui sépare les centres Coulombiennes par rapport à l'interface avec la face arrière.

Il a été démontré [Barr08] dans le cas d'un MOSFET possédant une grille $\text{TiN}/\text{HfO}_2/\text{SiO}_2$, que la mobilité limitée par les centres Coulombiens est donnée par :

$$\mu_{CS} \propto N_{charge}^{-1} N_{inv}^{\alpha} T \quad (IV.8)$$

où $\alpha = 1-1,5$ et N_{charge} est la densité surfacique de centres Coulombiens

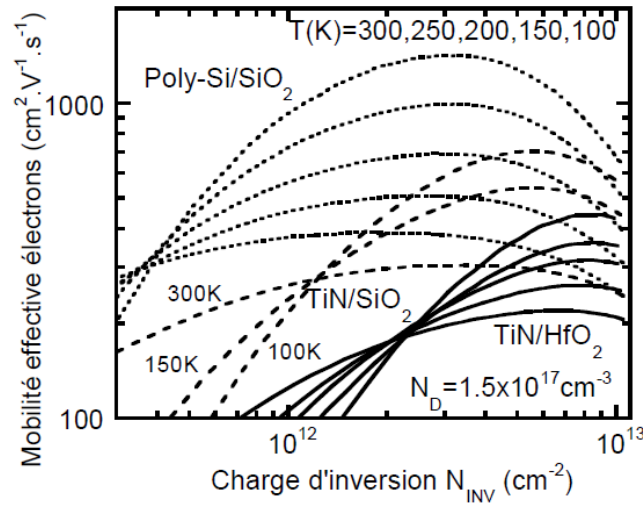


Figure IV.2 Mobilité effective des électrons en fonction de N_{inv} , de la température ambiante à basse température pour les transistors TiN/HfO₂, TiN/SiO₂ et la référence Poly-Si/SiO₂ [Webe04]

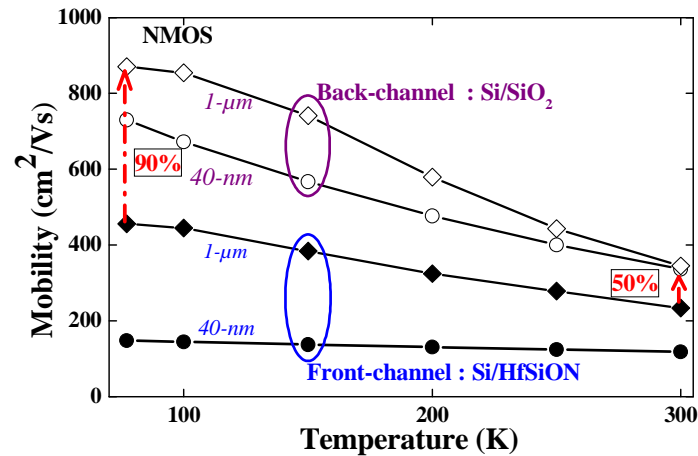


Figure IV.3 Comparaison de la variation de la mobilité en fonction de la température pour des MOS FD SOI court/long et canal avant/arrière.[Pham09]

L'empilement du métal de grille influe aussi sur la mobilité des porteurs. La figure IV.4 montre l'évolution de la mobilité des électrons sur des dispositifs FDSOI sur Box mince 10 nm. Elle montre l'impact de l'alumine sur la dégradation des paramètres de transport.

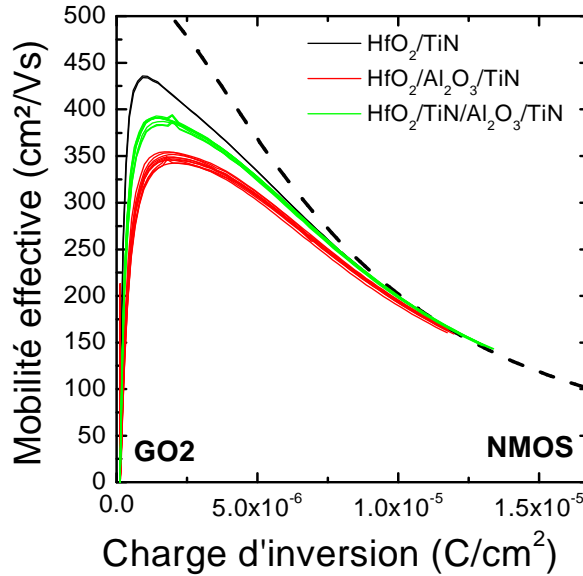


Figure IV.4 Mobilité split C-V sur un dispositif FD SOI avec différents empilements de grille
 $L \times W = 10 \mu\text{m}^2$ et $T_{\text{box}} = 10 \text{ nm}$ (GO2 (Poly (4 nm)/ SiO_2 $C_{\text{ox2}} = 1 \mu\text{F}/\text{cm}^2$)) [Feno11]

2) Interaction avec les vibrations du réseau ou phonons

La figure IV.2 illustre l'évolution de la mobilité des électrons avec la température. Elle montre l'augmentation de la mobilité des électrons avec la diminution de la température. Ce phénomène est dû aux interactions résultant des vibrations du réseau cristallin du Silicium. Cette vibration diminue avec la diminution de la température.

Sous l'effet de l'agitation thermique, l'atome se déplace de sa position d'équilibre, les forces de liaisons tendent à le ramener vers sa position initiale, si bien que l'atome oscille. Il vibre autour d'une position définie par le minimum du puits de potentiel dans lequel il se trouve avec une amplitude qui dépend de la température. Une diminution de la température réduit l'amplitude de ces oscillations et réduit ainsi la probabilité d'interaction.

Ce mécanisme est assimilé à l'interaction des porteurs avec une quasi-particule ; le phonon. On distingue deux familles de phonons ou modes de vibration: les phonons acoustiques (les atomes successifs vibrent en phase) et les phonons optiques (deux atomes successifs vibrent en opposition de phase). Bien qu'ils soient induits par le même phénomène, les phonons optiques sont plus fréquents que ceux du mode acoustique.

1. Interactions avec les phonons acoustiques :

Les phonons acoustiques interviennent lorsque les échanges sont peu énergétiques (à faible champ) et à petit vecteur d'onde. Les interactions avec les phonons acoustiques sont donc considérées comme élastiques (peu d'échange d'énergie) et entraînent principalement des transitions intra-vallées (le porteur reste dans la même vallée après l'interaction). Par contre si le porteur interagit avec un phonon ayant un vecteur d'onde plus important, il est susceptible de migrer dans une vallée différente de celle d'origine et on parle de transition inter-vallée.

Les interactions avec les phonons acoustiques sont particulièrement prédominantes (vis-à-vis des phonons optiques) à basse température ($T < 100K$).

Leur nombre augmente avec la température. Il en résulte une dépendance théorique de la mobilité due aux phonons acoustiques (μ_{pha}) en fonction de la température qui est donnée [Jeon89], [Sah72] par:

$$\mu_{pha} \propto N_{inv}^{1/3} T^{-1} \quad (IV.9)$$

2. Diffusion à travers les phonons optiques

Les interactions avec ce type de phonons induisent des transitions inélastiques et intervalles car celles-ci sont très énergétiques.

A des températures plus élevées ($100K \leq T \leq 370K$) la dépendance théorique de la mobilité due aux phonons optiques en fonction de la température est donnée [Jeon89], [Sah72] par:

$$\mu_{pho} \propto N_{inv}^{1/\tau} T^{-n} \quad (IV.10)$$

où n et τ sont deux constantes qui dépendent de l'orientation cristalline.

Notons aussi la présence d'autres interactions avec des phonons optiques du diélectrique dans le cas d'un empilement métal de grille/High-k. Ces interactions à distance sont fortement dépendantes de l'épaisseur de la couche interfaciale SiO_2 entre le high-k et le canal [Webe05].

D'un point de vue plus général, à température ambiante, l'impact des phonons sur le fonctionnement des transistors MOSFET est prépondérant à champ effectif moyen (présence de suffisamment de charges d'inversion pour écranter les défauts Coulombiens, mais champ transverse encore insuffisant pour que les porteurs ne soient soumis à l'influence de la rugosité de surface).

3) Interactions avec les rugosités de l'interface diélectrique-silicium.

A fort champ, la concentration de porteurs dans la couche d'inversion augmente, créant alors un potentiel d'écrantage autour des atomes ionisés et minimisant les interactions de Coulomb. Sous l'effet de ce champ, le gaz d'électrons (dans le cas d'un nMOS) se trouve confiné près de l'interface canal de silicium et diélectrique de grille (Figure IV.5(a-b)). L'interface entre l'oxyde de grille et le semi-conducteur n'est pas parfaitement lisse, et présente des aspérités qui vont être les centres de collisions avec les porteurs de charges augmentant la probabilité de collisions.

Il s'agit donc de la diffusion des porteurs sur ces irrégularités (rugosité) de l'interface caractérisées par une amplitude Δ et une longueur de corrélation Λ (Figure IV.5(c)) ce qui crée localement une fluctuation du potentiel et perturbe le déplacement des porteurs dans le canal.

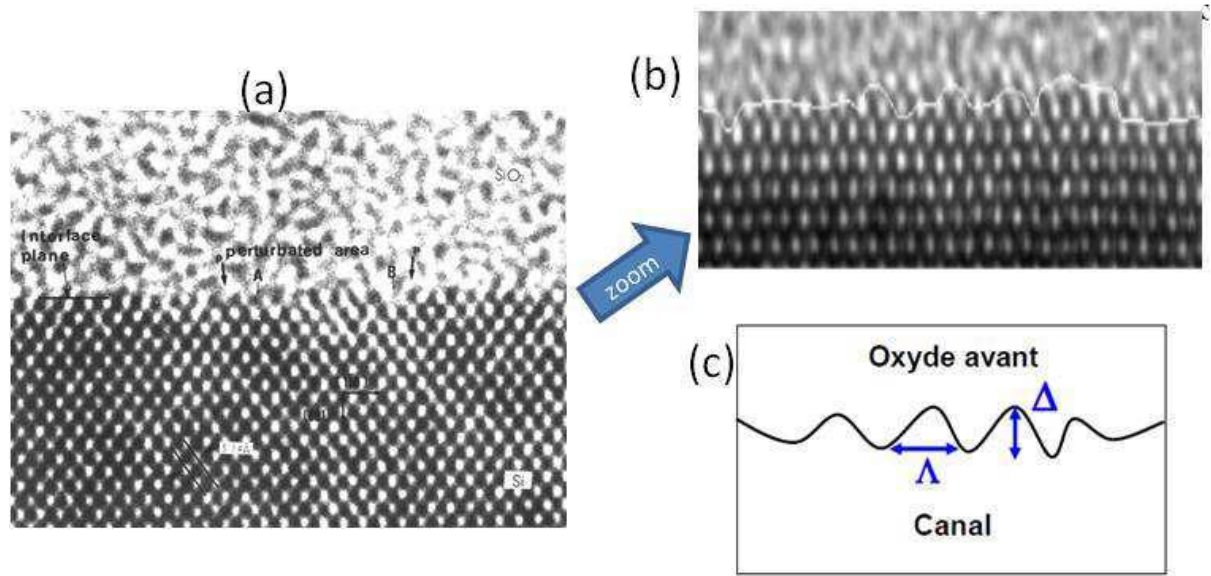


Figure IV.5 (a,b) Images TEM à l'interface de grille SiO₂/Si (c) Représentation schématique des paramètres géométriques (Λ et Δ) définissant la rugosité de surface. [Piro00]

Ces deux paramètres interviennent dans la densité spectrale $S(q)$ (éq IV.11) [Piro00] de la rugosité et rendent compte de la morphologie de l'interface

$$S(q) = \frac{\pi \Lambda^2 \Delta^2}{1 + \left(\frac{\Lambda^2 q^2}{2} \right)^{3/2}} \quad (\text{IV.11})$$

Les collisions avec les défauts d'interface dépendent uniquement du champ effectif en E_{eff}^2 et donc de la charge dans le canal. Cette dépendance est exprimée dans l'équation suivante

$$\mu_{SR} \propto (Q_D + Q_{\text{inv}})^{-2} \quad (\text{IV.12})$$

Cette dépendance se réduit à la seule charge d'inversion dans le cas des dispositifs FD SOI (En raison du très faible dopage du canal, Q_D tend vers 0) Cependant, la faible épaisseur géométrique (de l'ordre de 8~5 nm du film de silicium) dans ce type de dispositifs entraîne un accroissement important du confinement quantique et augmente ainsi les interactions avec la rugosité de surface. De plus avec la prise face arrière, on peut créer un canal face arrière et donc une augmentation de la probabilité de collision avec l'interface Oxyde enterré/film de silicium. Des simulations Monte-Carlo basées sur l'équation de transport de Wigner [Quer06] ont ainsi mis en avant la prédominance des interactions avec la rugosité de surface dans les transistors à Doubles-Grilles. D'autres études ont démontré que lorsque l'épaisseur de Si diminue, les porteurs subissent davantage de collisions avec la surface arrière diminuant ainsi leurs mobilités. Esseni et al [Esse02] ont démontré théoriquement cette diminution en introduisant le terme "Collisions par fluctuation d'épaisseur" qui est la combinaison de la rugosité de la surface des faces avant et arrière.

4) Diffusion par des défauts neutres ponctuels

Ce phénomène a été rapporté pour la première fois en 1950 par C. Erginsoy ou il introduit le concept de défauts neutres pour expliquer la résistivité des semi-conducteurs à basse température [Ergi50]. Ce concept est mis en avant de nos jours pour expliquer la baisse de la mobilité avec la réduction de la longueur.

L'implantation ionique cause des défauts ponctuels tels que des interstitiels [Cros06] ou des clusters de défauts qui peuvent être chargés ou neutres.

Pendant le recuit, un processus dynamique complexe se produit, les défauts diffusent et se réorganisent dans le cristal. Ce processus pourrait être responsable d'une augmentation de la concentration de défauts neutres ou chargés située près des régions de source et drain. En réduisant la longueur du canal, ces régions deviennent plus proches. Ceci peut expliquer l'influence significative de ces défauts sur la mobilité dans des dispositifs courts.

Ainsi, cette dégradation affecte les propriétés de transport dans les canaux courts et semble ne pas avoir de dépendance en température. Elle pourrait résulter de la collision des porteurs à travers ces défauts neutres.

L.Pham et al ont émis l'hypothèse que ces défauts structuraux impactent fortement la mobilité des porteurs dans les dispositifs ultra-courts sur FD SOI, comme on a pu l'observer aussi sur silicium massif. En effet, ces défauts sont très présents au niveau des jonctions LDD et HDD [Pham10] [Gall04].

Du point de vue modélisation, les défauts neutres et chargés sont traités dans la littérature de façon assez similaire d'un point de vue théorique [Ergi50]. La différence avec les défauts chargés réside dans le caractère plus local des défauts neutres.

L'équation (IV.13) définit la mobilité due aux défauts neutres.

$$\mu_N = \frac{m^* q^3}{20 \epsilon_{si} \hbar^3 N_N} \quad (IV.13)$$

Avec N_N la densité des défauts neutres.

IV. La notion de mobilité effective μ_{eff}

La mobilité effective décrit la facilité des porteurs à se déplacer dans un matériau ou un dispositif sous l'action d'un champ électrique. Elle influence directement la valeur du courant de drain I_d . Comme nous l'avons vu, les porteurs ne sont pas libres de se déplacer dans le réseau cristallin et subissent de nombreuses collisions.

La contribution relative des 4 types de mécanismes décrits précédemment dépend de la température, de la concentration de porteurs dans le canal et de la densité de défauts.

Si tous les mécanismes de collision sont considérés comme indépendants les uns des autres, la mobilité effective μ_{eff} peut s'écrire à température ambiante suivant la loi de Matthiessen :

$$\frac{1}{\mu_{eff}} = \sum_s \frac{1}{\mu_s} = \frac{1}{\mu_{CS}} + \frac{1}{\mu_{Ph}} + \frac{1}{\mu_{SR}} + \frac{1}{\mu_N} + \dots \quad (IV.14)$$

V. Caractérisation et modélisation de l'impact de la polarisation face arrière sur la mobilité effective

Dans les structures MOS conventionnelles, la mobilité effective à faible champ μ_{eff} suit un comportement classique en fonction du champ effectif vertical E_{eff} . Ce comportement est connu sous le nom de relation "universelle" de la mobilité de la couche d'inversion. La dépendance de la mobilité effective des électrons en fonction du champ effectif pour différents niveaux de dopage canal et différentes températures, est représentée sur la figure IV.6 [Taka94], avec

$$E_{eff} = \frac{Q_d + \eta Q_i}{\epsilon_{si}} \quad (IV.15)$$

Q_d est la charge de déplétion et Q_i est la charge d'inversion.

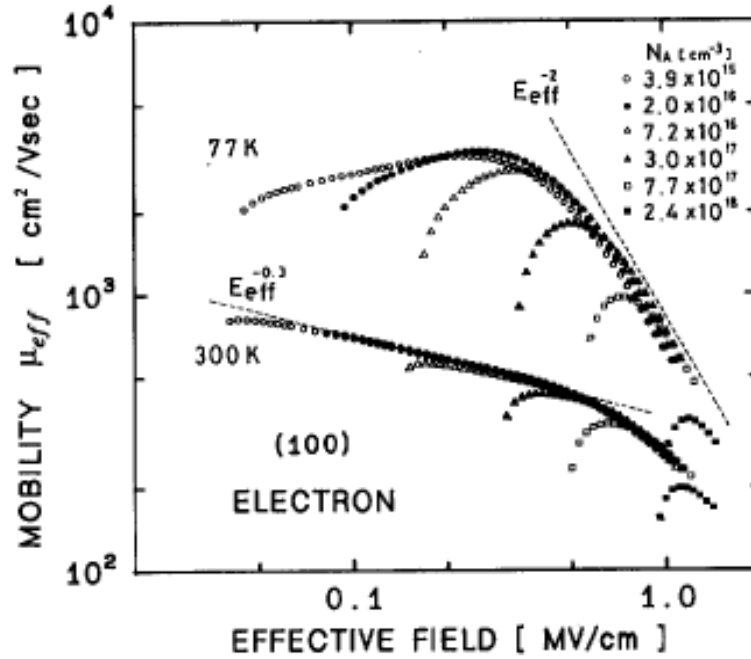


Figure IV.6 Mobilité effective vs champ effectif à 300K et 77K et à différents dopages [Taka94]

L'expression du champ effectif défini par l'équation (IV.15) n'est plus valable avec la polarisation face arrière sur les dispositifs FD SOI, et le champ à l'interface Si/Box n'est plus nul et doit être pris en compte. Il faut donc définir une nouvelle expression qui tient compte de ce champ supplémentaire (éq IV.16) [Sher94].[Choi95].

$$E_{eff} = \frac{\eta Q_i}{\epsilon_{si}} + E_{sb} \quad (IV.16)$$

En supposant que les charges de déplétion sont négligeables. Le champ électrique E_{sb} transverse à l'interface Si/Box est défini par [Choi95] :

$$E_{sb} = \frac{C_{si}C_{Box}}{(C_{si} + C_{Box})\epsilon_{si}}(2\phi_F - V_B - V_{FBb}) + \frac{qN_a t_{si}}{2\epsilon_{si}} \left(1 + \frac{C_{si}}{C_{si} + C_{Box}}\right) \quad (IV.17)$$

Où C_{si} , C_{Box} sont respectivement la capacité du film de Silicium et de l'oxyde enterré. V_{FBb} est la tension de bande plate à l'interface arrière et N_a est le dopage du canal.

Sur les dispositifs FD SOI le dopage du canal est très faible. On peut ainsi négliger le dernier terme du champ face arrière.

Les figures suivantes montrent l'évolution de la mobilité split CV sur des structures GO2 LxW=10x10 μm^2 pour différentes polarisations face arrière allant de -10V à 10V. Ces figures illustrent un comportement non monotone de la mobilité pour de fortes valeurs de la tension face arrière dans le cas du nMOS et de faibles valeurs de V_B dans le cas du pMOS.

Il est évident que l'intensité du champ électrique effectif influe sur la mobilité des porteurs. Cependant, plusieurs études ont démontré que l'influence de ce champ dépend de l'épaisseur du film de silicium [Choi95], [Tsut05].

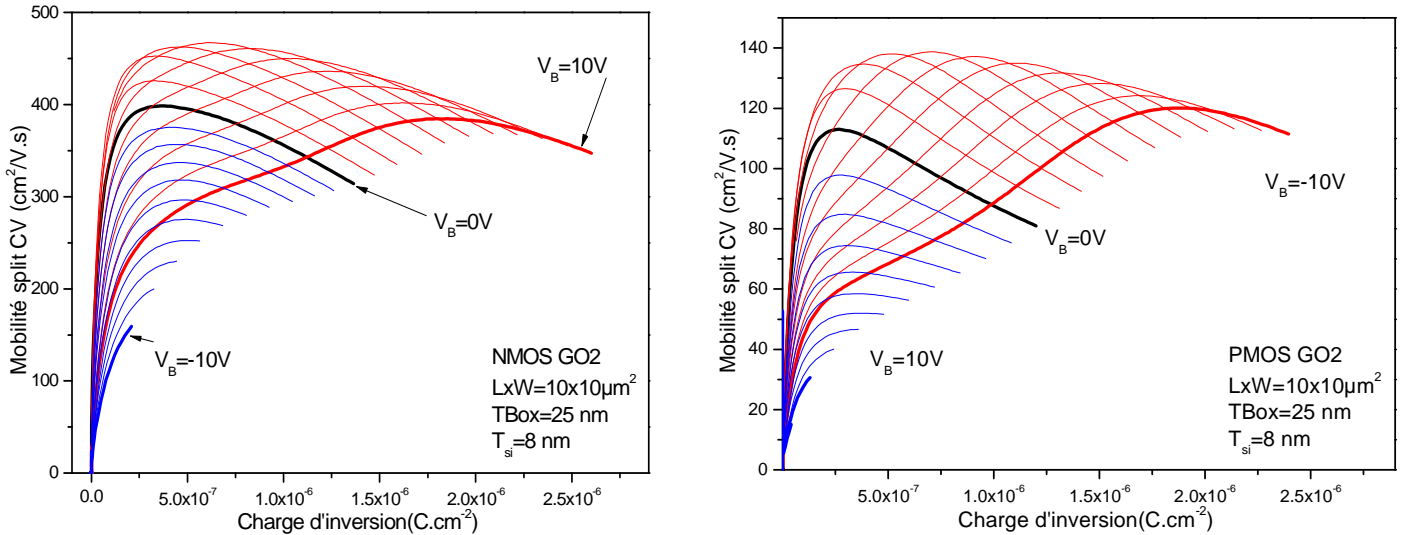


Figure IV.7 Mobilité en split CV en fonction de la polarisation face arrière pour n&pMOS

Des simulations se basant sur le modèle Kubo-Greenwood (KG) (éq IV.18) [Esse05] [Ride12] ont été réalisées pour représenter les courbes de mobilité en fonction du champ effectif suspecté d'être à l'origine de cet effet. Ces simulations prennent en compte les différentes limitations de la mobilité : au travers des phonons, les interactions Coulombiennes où la rugosité de surface [Fisc01] [Toni08].

$$\mu = \alpha \sum_{K,n} v(K)v(K)\tau(K)f(E_K^n)(1 - f(E_K^n)) \quad (IV.18)$$

La figure IV.8 montre une simulation de la mobilité effective pour $V_B=0$ sur différents transistors avec des empilements de grille différents (GO1 (TiN/High-k $C_{ox}=2.4 \mu\text{F}/\text{cm}^2$) et GO2 (Poly (4 nm)/SiO₂ $C_{ox}=1\mu\text{F}/\text{cm}^2$)). Une large densité de charges à l'interface High-k/SiO₂ a été introduite (par exemple $N_{it}\sim 6.3 \cdot 10^{12} / \text{cm}^2$ dans le cas des structures GO1) pour

essayer de simuler les courbes de mesures. Ces même charges ont été introduites sur les structures GO2 mais plus loin de l'interface oxyde/film de silicium.

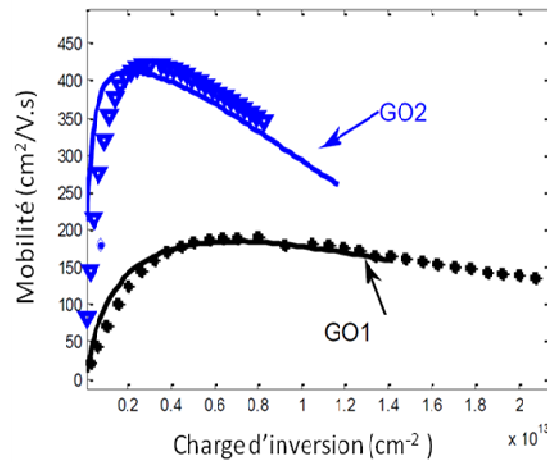


Figure IV.8 Calibration de la mobilité pour une tension face arrière nulle pour un nMOS (les points correspondent à la mesure et la courbe à la simulation) $L_g=10\text{ }\mu\text{m}$, $T_{si}=8\text{ nm}$, $T_{box}=25\text{ nm}$

La courbe suivante montre l'évolution et la dépendance de la mobilité en fonction du champ effectif dans le canal. Cette figure illustre des courbes en cloche et une mobilité effective liée au changement du champ en fonction de la polarisation face arrière. On peut noter aussi que le champ effectif dans le canal peut être négatif pour les faibles valeurs de V_B .

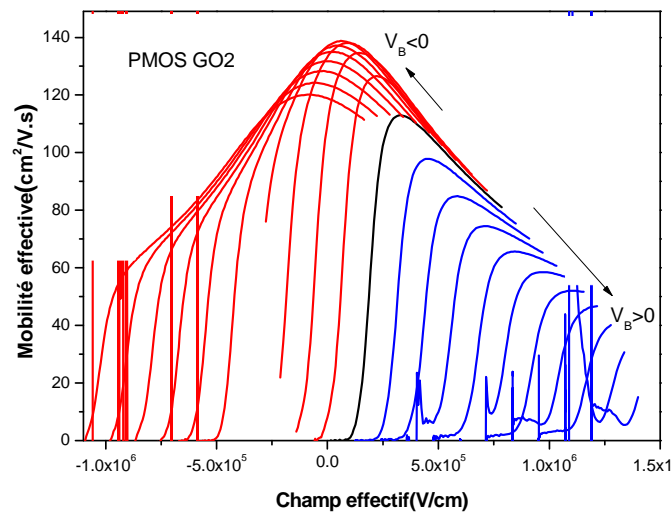


Figure IV.9 Évolution de la mobilité effective en fonction du champ effectif avec V_B de -10V à 10V sur une structure PMOS FD SOI GO2 $L \times W=100\mu\text{m}^2$

Des mesures similaires sur une structure nMOS GO2 ont été simulées en utilisant l'expression théorique du champ (éq IV.19) [Ride12]

$$E_{eff}^{théo} = \frac{\int \frac{\partial V(z)}{\partial z} n(z) dz}{\int n(z) dz}$$

Dans ce cas, une polarisation positive modérée (entre 0 et 4V) de la tension face arrière crée un nouveau canal à l'interface Box/Silicium et éloigne le barycentre des charges d'inversions de l'interface Si/Oxyde face avant. Ce qui permet d'augmenter la mobilité des porteurs qui étaient confinés près de cette interface.

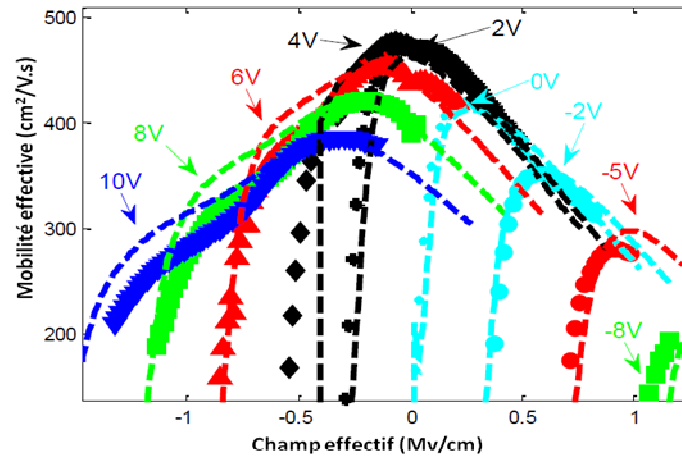


Figure IV.10 Courbes de mesure (points) et simulation (trait discontinu) de la mobilité effective en fonction du champ effectif NMOS GO2

Cependant, on remarque une diminution systématique de la mobilité pour les grandes polarisations au-delà de 4 V et pour les valeurs négatives de V_B . Ceci indique qu'un même mécanisme limite la mobilité de la face avant et de la face arrière. Ce mécanisme semble être lié aux interactions avec la rugosité de surface à fort champ.

VI. Solutions d'amélioration de la mobilité

On vient d'évoquer dans les paragraphes précédents les différents mécanismes de réduction de la mobilité qui tendent à s'accroître avec la réduction des dimensions du transistor. Des solutions sont proposées pour pallier ces effets. Dans cette partie, nous étudierons l'impact de l'orientation cristalline sur la mobilité des trous ainsi que les propriétés piézorésistives du Silicium pour augmenter le courant de drain des transistors, appelés "ingénierie des contraintes mécaniques" dans l'amélioration des performances électriques.

1) Silicium contraint

Les contraintes mécaniques sont étudiées depuis longtemps dans l'histoire de la microélectronique. Les premières améliorations de mobilité par la contrainte dans le Silicium massif ont été mesurées par Smith [Smit54] en adaptant le paramètre de maille de la couche d'alliage SiGe sur un substrat de Si induisant une contrainte spécifique pouvant influencer favorablement sur la structure de bandes du matériau en augmentant les courbures

de bandes dans la direction du transport [Wels94] [Naya93]. Depuis, l'étude et la maîtrise des contraintes mécaniques ont connu un regain d'intérêt, elles sont devenues un des leviers les plus importants pour améliorer les performances. Elles permettent d'améliorer le courant débité par les transistors sans dégrader les courants de fuite. Les techniques de contrainte dans la littérature sont nombreuses [Shim01] [Ghan03] [Ang04] [Chane05]. Cependant, les conditions favorables de contraintes ne sont pas les mêmes pour les électrons et les trous et elles n'impactent pas de la même manière la mobilité en faible et forte inversion.

1. Tenseur de contrainte et déformation : définition

Une contrainte représente une force par unité de surface sur un élément infinitésimal de l'espace réel. Elle est exprimée en Pa ou N/m² et est décrite par un tenseur σ_{ij} symétrique et chaque valeur positive des composantes σ_{ij} correspond à une contrainte en tension et une valeur négative à une contrainte en compression:

$$\sigma_{ij} = \begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{21} & \sigma_{22} & \sigma_{23} \\ \sigma_{31} & \sigma_{32} & \sigma_{33} \end{bmatrix} \quad (\text{IV.20})$$

Les contraintes types σ_{ii} sont appelées contraintes normales alors que les contraintes de type σ_{ij} avec $i \neq j$ sont des contraintes de cisaillement. Lorsque le tenseur de contrainte possède une forme simple plusieurs de ces composantes sont nulles. Nous présenterons dans ce qui suit les deux principaux types de contraintes.

- Contrainte Uniaxiale : Lorsqu'il existe une seule composante σ_{ii} non nulle.

$$\sigma_{ij} = \begin{bmatrix} \sigma_{uniaux} & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad (\text{IV.21})$$

- Contrainte Biaxiale : Lorsqu'on a deux composantes σ_{ii} non nulles

$$\sigma_{ij} = \begin{bmatrix} \sigma_{Biax} & 0 & 0 \\ 0 & \sigma_{Biax} & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad (\text{IV.22})$$

De plus, à chaque contrainte appliquée sur le matériau lui correspond un tenseur de déformation dans l'hypothèse où chaque contrainte est suffisamment faible pour ne pas engendrer de déformations irréversibles.

Les déformations représentent les variations de géométrie d'un segment donné suivant toutes les directions du matériau. Elles s'expriment sans unité et elles sont représentées par le tenseur de déformation ϵ_{ij}

$$\epsilon_{ij} = \begin{bmatrix} \epsilon_{11} & \epsilon_{12} & \epsilon_{13} \\ \epsilon_{21} & \epsilon_{22} & \epsilon_{23} \\ \epsilon_{31} & \epsilon_{32} & \epsilon_{33} \end{bmatrix} \quad (\text{IV.23})$$

Dans la limite d'élasticité du matériau, chaque déformation dépend linéairement des contraintes mécaniques. Cette relation est définie par la loi de Hooke :

$$\sigma_{ij} = C_{ijmn} \epsilon_{mn} \quad (\text{IV.24})$$

$$\text{Et } \epsilon_{ij} = S_{ijmn} \sigma_{mn} \quad (\text{IV.25})$$

où les termes C_{ijmn} sont les coefficients du tenseur d'élasticité et les composantes de S_{ijmn} sont appelées coefficients de rigidité. Ces matrices sont facilement simplifiées grâce aux symétries du Silicium. Déterminer les valeurs de leurs coefficients permet d'obtenir une représentation quantitative de l'anisotropie des propriétés mécaniques du matériau.

2. Effet de la contrainte sur la mobilité

La figure IV.11 représente la première zone de Brillouin du Silicium. Dans cette figure on distingue trois directions principales Δ (direction équivalente à la direction $\langle 100 \rangle$ et X son bord de zone dans cette direction), Σ (direction équivalente à la direction $\langle 110 \rangle$ et K son bord de zone) Λ (direction équivalente à la direction $\langle 111 \rangle$ et L son bord de zone).

La résolution de l'équation de Schrödinger permet de donner la relation de dispersion de l'énergie $E(\vec{k})$ pour chacune de ces directions et permet de définir le diagramme de bande (Figure IV.12).

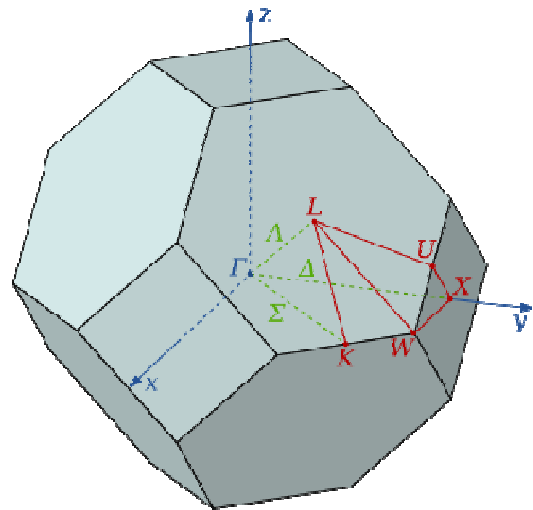


Figure IV.11 Première Zone de Brillouin du Silicium [C.Kittel]

Changement de la structure de bande avec la contrainte

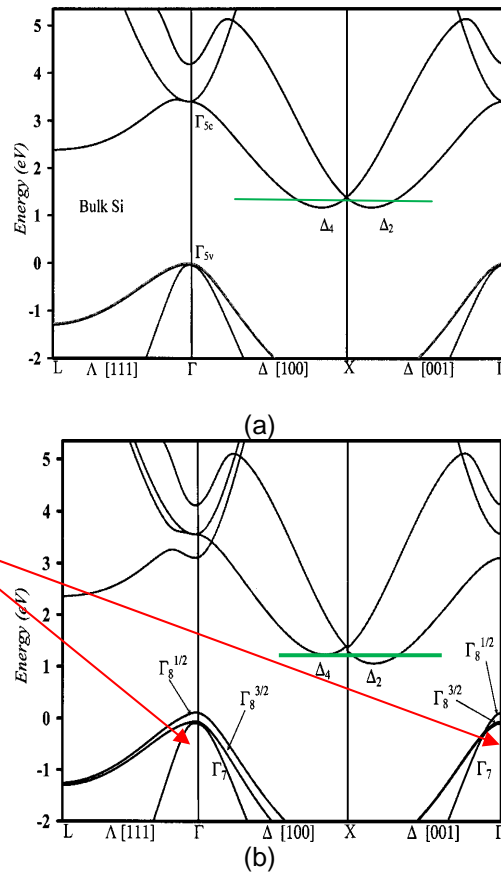


Figure IV.12 Structure de bandes du (a) Si non contraint et (b) contraint (contrainte biaxiale) ;selon les axes de principale symétrie [Richa03]

La technologie de contrainte améliore la mobilité des porteurs dans le canal :

(i) En modulant les structures de sous-bande (Figure IV.12) et en changeant leurs courbures d'énergie proportionnelle à la masse effective.

$$m^* = \hbar^2 \left(\frac{\partial^2 E_v}{\partial k^2} \right)^{-1} \quad (IV.26)$$

Avec E_v l'énergie associée à chaque vallée et k est le vecteur d'onde associé à chaque porteur.

Uchida et al ont calculé l'évolution de cette masse pour chacune des vallées en fonction du type de contrainte. Le tableau IV.1 résume le type d'impact (positive ou négative) des contraintes sur les performances du transport dans la direction $\langle 110 \rangle$. Le type ainsi que la nature de la contrainte impacte différemment ces performances. La figure IV.13 montre l'impact de la contrainte uniaxiale sur la masse effective des électrons, et montre en particulier que cette masse évolue différemment dans chaque vallée.

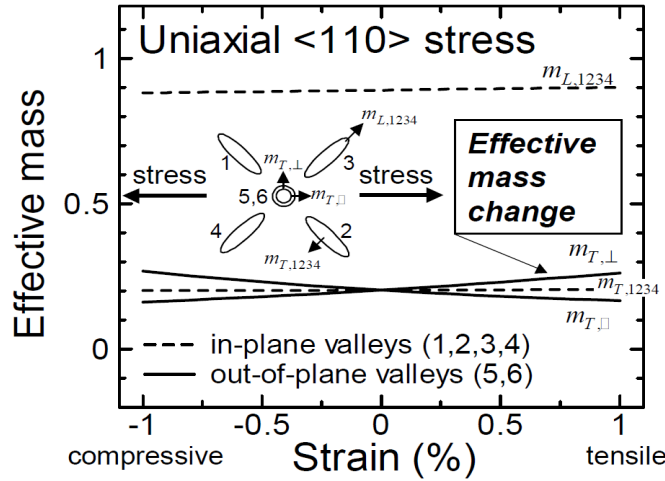
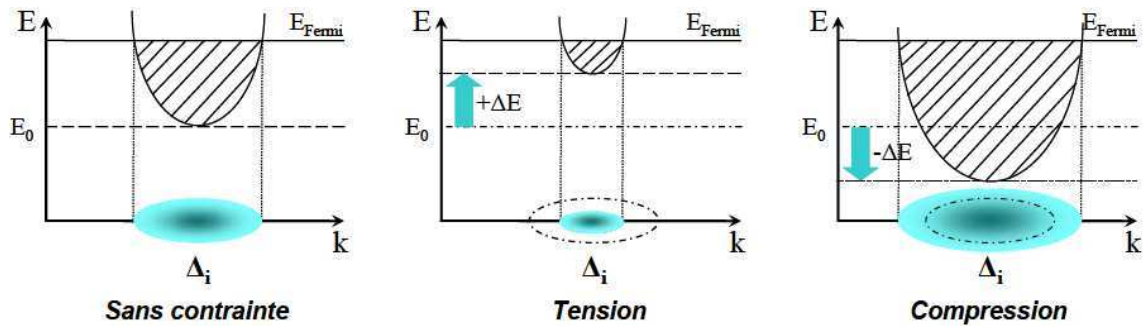


Figure IV.13 Masse effective en fonction d'une contrainte uniaxiale <110> [Uchi05]

(ii) Elle influe sur le peuplement des six vallées de la bande de conduction



La figure (a) schématise une vallée Δ à l'état initial avec son niveau de Fermi E_{Fermi} et son niveau minimal d'énergie E_0 de sa bande d'énergie pour les électrons. L'intersection de la bande d'énergie avec le niveau de Fermi donne la surface isoénergétique (représentée par un ellipsoïde) qui représente le remplissage en électrons de la vallée. Si on applique une contrainte en tension dans la direction de cette vallée, on va décaler l'énergie E_0 de cette vallée vers les hautes énergies, ce qui a pour conséquence une diminution de la surface isoénergétique, et donc un dépeuplement de cette vallée par rapport à l'état initial (voir Figure (b)). Si au contraire on comprime dans la direction de cette vallée, on va décaler l'énergie E_0 de cette vallée vers les basses énergies, ce qui aura pour conséquence une augmentation de la surface isoénergétique, et donc un surpeuplement de cette vallée par rapport à l'état initial (voir Figure (c)).

Notre objectif premier est de d'augmenter la mobilité des électrons, donc il faut surpeupler les vallées de plus faible masse effective, or ce sont les vallées transverses au transport (Δ_2) qui ont une masse effective plus faible que les vallées longitudinales au transport (Δ_4). Ainsi si on applique une contrainte en tension bidimensionnellement sur les axes longitudinaux au transport, on va dépeupler les vallées Δ_4 à la faveur des vallées Δ_2 qui seront-elles

contraintes en compression. Le résultat sera une diminution de la masse effective des électrons, ceux-ci se retrouvant majoritairement dans les vallées Δ_2 .

Pour le cas des trous la situation est nettement plus complexe compte tenu de la dégénérescence de la bande de trous lourds et trous légers.

Dans ce cas une contrainte en compression lève la dégénérescence de ces bandes en diminuant l'énergie des trous légers qui se retrouve dépeuplée et tous les trous se retrouveront ainsi dans la bande de trous lourds. Par contre lors de la contrainte la masse effective des trous lourds va nettement diminuer, donc au final malgré le fait que l'on ait que des trous lourds, nous gagnerons en termes de masse effective donc de mobilité

(iii) Elle module les phénomènes de diffusion.

Contrainte	Nature de la contrainte	nMOS	pMOS
Parallèle à $\langle 110 \rangle$	Tension	+	-
	Compression	-	+
Perpendiculaire à $\langle 110 \rangle$	Tension	+	+
	Compression	-	-
Biaxiale	Tension	+	\approx
	Compression	-	+

Tableau IV.1 Impact du type de contrainte positive ou négative sur les performances du transport dans la direction $\langle 110 \rangle$ [Uchi05]

La figure suivante résume les différents types de contraintes et leur impact sur la structure de bandes des électrons (colonne 2) et des trous (colonne 3) ainsi les propriétés d'un canal de direction $\langle 110 \rangle$ pour n et pMOS. [Skot08]. Une contrainte uniaxiale en tension dans la direction du canal augmente la mobilité des électrons, mais dégrade la mobilité des trous.

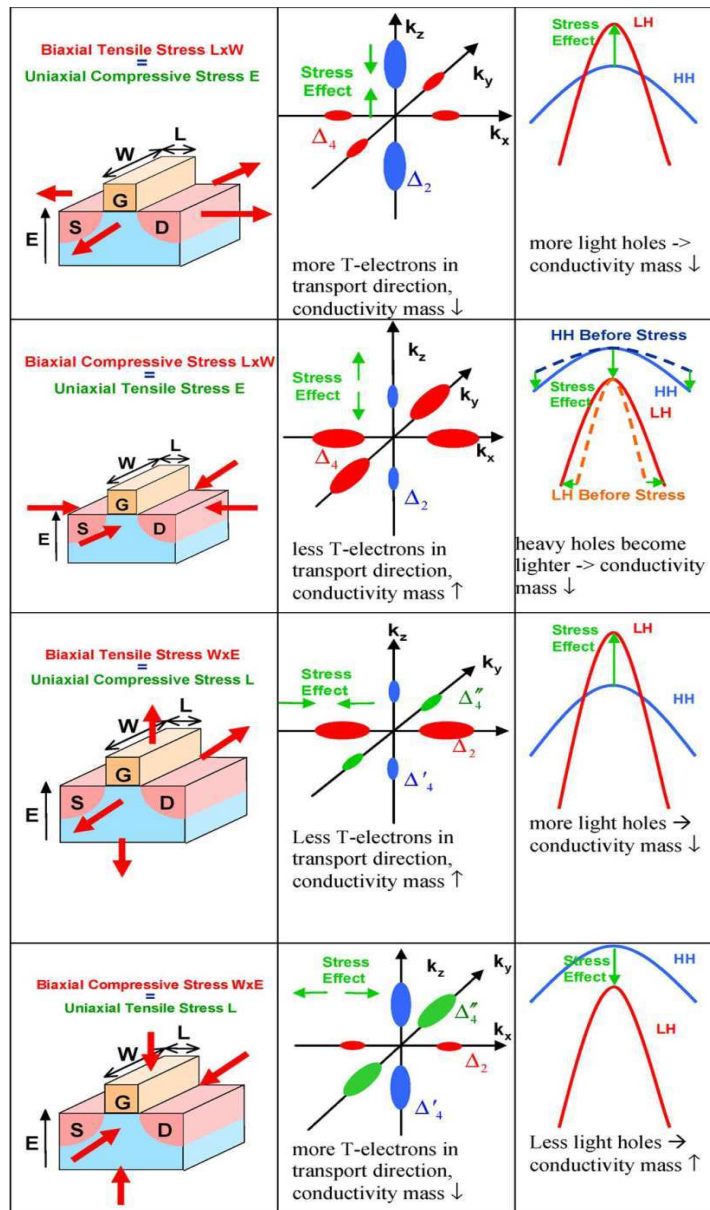


Figure IV.14 Analyse des différentes configurations de contrainte utilisée dans la technologie CMOS pour un transistor avec une direction cristallographique du canal suivant $\langle 110 \rangle$ [Skot08]

De telles incompatibilités ont amené le développement de techniques d'introduction locale d'une contrainte dans le canal, différente pour les nMOS et pMOS.

3. sSOI et Couche d'arrêt de gravure CESL (Contact Etch Stop Layer)

En général, une contrainte est obtenue par épitaxie d'un matériau de paramètres de maille différents qui s'adapte à celui du matériau support. Ce même principe est à la base de fabrication des substrats de silicium contraint. Ce procédé a été développé chez le fournisseur de substrats SOITEC et permet d'obtenir des substrats de Silicium sur Isolant avec une couche de silicium contraint sSOI ou sSDOI (strained Si Directly On Insulator) [Ghys04]. La figure suivante montre en détail les différentes étapes nécessaires pour réaliser ce type de substrat.



Figure IV.15 Procédé de fabrication d'une plaque sSOI

L'utilisation de ce type de substrat permet d'avoir un gain important de courant. La figure IV.16 montre l'évolution du $\text{Log}(I_{\text{off}})$ en fonction du I_{on} pour trois longueurs de grilles différentes. Elle met en évidence une augmentation de 20% dans le courant I_{on} pour le substrat contraint sSOI (sSOI en tension ~1.4GPa) [Gall05] en comparaison avec un dispositif classique FDSOI [Feno12].

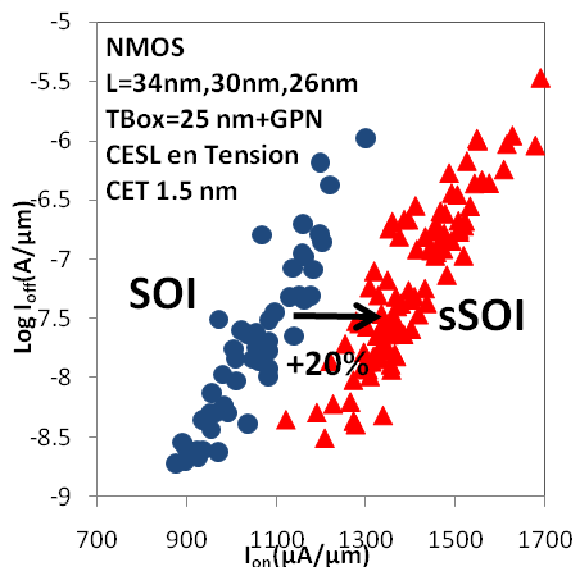


Figure IV.16 $\text{Log}(I_{\text{off}})$ @ I_{on} pour nMOS sur un substrat SOI et sSOI [Feno12]

Le deuxième type de contrainte est réalisé via le CESL (~1.6GPa [Gall05]).

Le CESL (Contact Etch Stop Layer) a été introduit pour limiter la diffusion des contaminants en provenance des interconnexions. Il constitue une barrière qui protège les zones actives du transistor. Le CESL recouvre le transistor, les zones actives de silicium et les tranchées d'isolation peu profondes appelées STI (Shallow Trench Isolation). Il a également été introduit pour jouer le rôle d'une couche d'arrêt lors de la gravure des contacts évitant ainsi

la formation de courts-circuits causés par d'éventuels désalignements au cours de l'étape de photolithographie. Il représente la dernière étape du processus de fabrication du transistor en Front-End (Figure 17 (b)). Il permet en plus de réaliser une contrainte uniaxiale sur le canal [Ito00]. Dans nos structures le SiN est choisi pour réaliser la couche d'arrêt de gravure et cela pour sa faible affinité envers les autres espèces ioniques. Les figures 17 (a)&(b) montrent une image TEM et le processus de fabrication des dispositifs FD sSOI avec un Box de 25 nm et une épaisseur de film de 8 nm et une longueur nominale de grille de 30 nm.

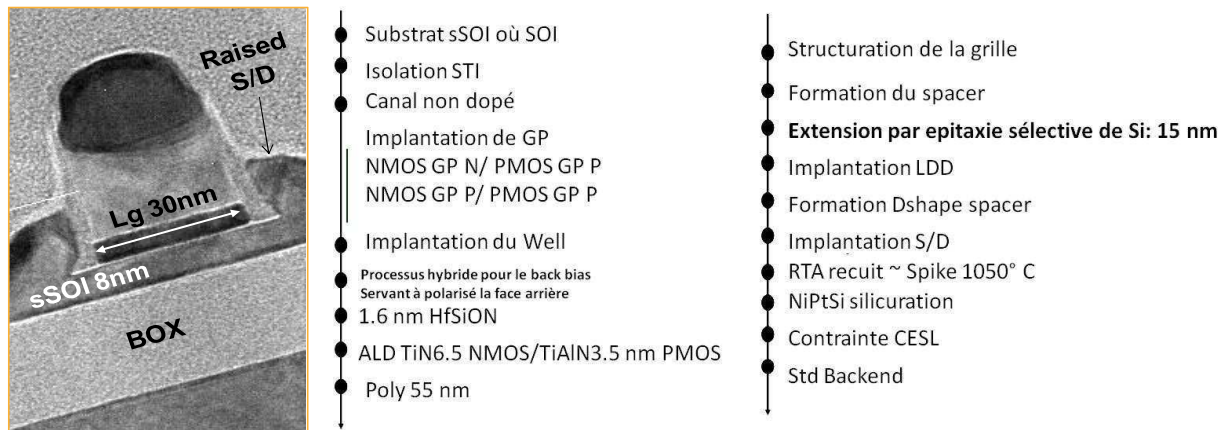


Figure IV.17 (a) Image TEM d'un transistor sur un substrat sSOI (b) processus de fabrication du transistor FDsSOI.

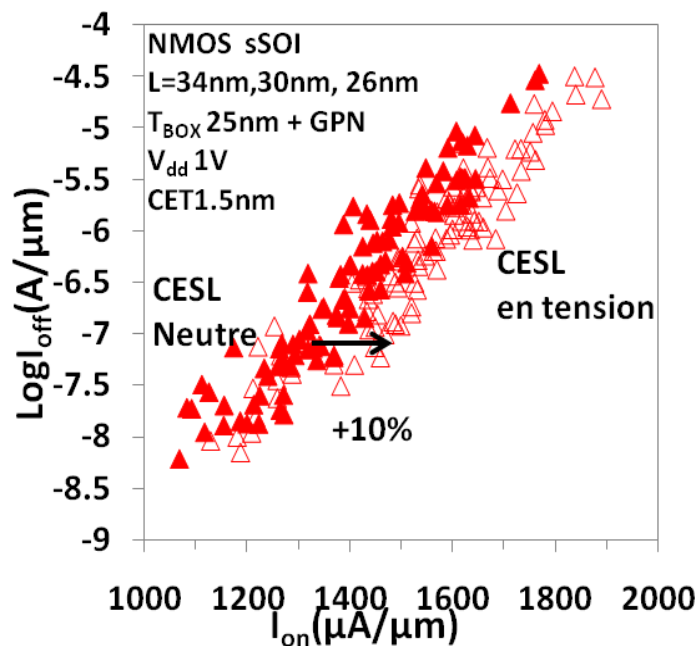


Figure IV.18 Log(I_{off}) vs. I_{on} pour un nMOS sur un substrat sSOI avec un CESL neutre et en tension [Feno12]

Le CESL comme le sSOI permet d'augmenter le courant débité par les MOS FDSOI. La figure IV.18 met en évidence l'augmentation de 10% dans le courant débité avec un CESL en tension. Une augmentation supplémentaire est mesurée en introduisant la polarisation face arrière ou une réduction du I_{off} (Figure IV.19).

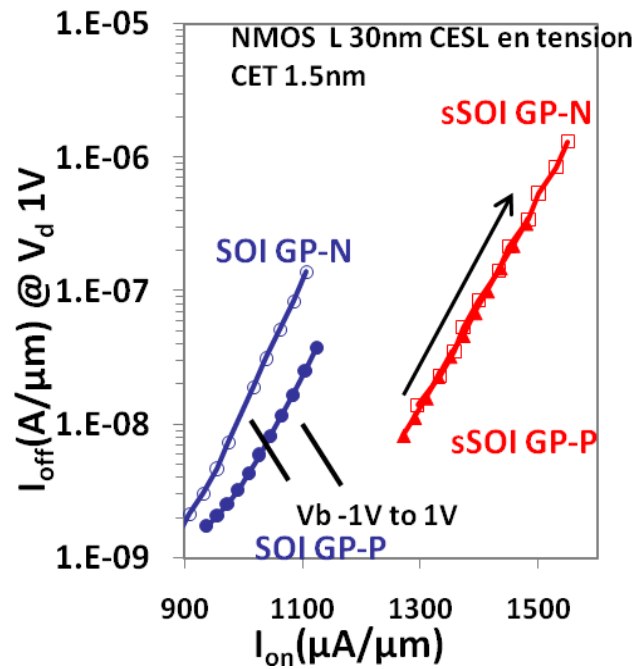


Figure IV.19 Évolution du courant I_{on}/I_{off} avec la polarisation face arrière [Feno12]

L'augmentation du courant dans les deux premiers cas est la conséquence directe de l'augmentation de la mobilité de 15% pour les canaux courts et 38% pour les longs (Figure IV.20). Cependant, la plus faible augmentation de mobilité pour les faibles longueurs de grilles peut être attribuée aux effets des défauts neutres qui deviennent prépondérants.

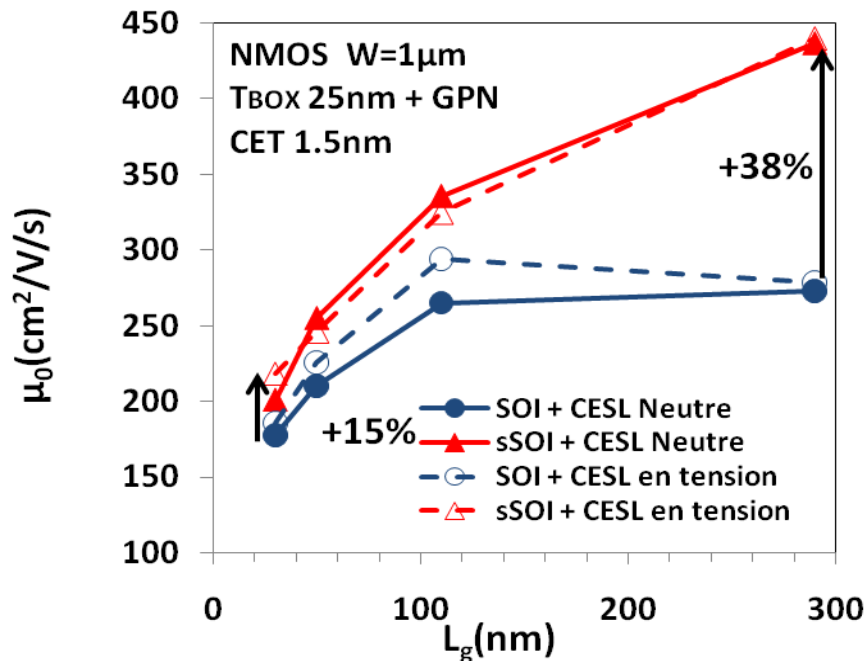


Figure IV.20 Évolution de la mobilité à faible champ pour des substrats sSOI et SOI pour des CESL neutre et en tension [Feno12]

K. Uchida et al [Uchi05] ont montré via des simulations ainsi que des mesures qu'une contrainte uniaxiale suivant $\langle 110 \rangle$ augmente la mobilité des électrons. Cet effet est dû à la diminution de la masse effective transverse de l'électron m_T pour des fortes valeurs de contraintes le long de cette direction (Figure IV.13). Ceci est la conséquence directe de la déformation des surfaces isoénergétique par rapport aux deux vallées (1et 2) comme le montre la figure IV.13 [Uchi05].

Ils ont démontré également via des simulations se basant sur le calcul de Natori [Nato94] que les contraintes uniaxial sont plus efficaces que les contraintes biaxiales et que le courant balistique $I_{d,Bal}$ augmente dans ce cas de 42% avec une contrainte uniaxiale (1.7GPa) en tension.

Sous l'effet d'une contrainte biaxiale, Zhao et al [Zhao08] ont démontré que la diffusion à travers la rugosité de surface est réduite pour les électrons ce qui permet l'augmentation de la mobilité des électrons. Mais ce type de contrainte dégrade légèrement la mobilité des trous qui sont moins sensibles à la diminution de la hauteur du paramètre géométrique caractéristique de l'amplitude Δ (Figure IV.5(c)). Cette étude a aussi démontré que la mobilité des trous est réduite par les interactions Coulombiennes μ_{CS} dû à réduction de la distance moyenne entre ce type de porteurs et les centres de diffusions à l'interface Oxyde/Silicium.

4. Effet indésirable dû à la contrainte

La contrainte mécanique induit une courbure du silicium. Ce qui peut causer des problèmes pour le contrôle thermique dans les opérations de recuits, gravure et lithographie.

D'autres défauts morphologiques apparaissent dans les couches contraintes créant des décollements, des bulles ou des fissures dans les couches. Tous ces défauts peuvent influencer sur les propriétés physique et électrique du matériau et leurs impacts ne peut pas être contrôlé, c'est ainsi qu'il existe d'autres moyens d'augmenter la mobilité dans les dispositifs.

2) Orientation cristalline

Modifier l'orientation cristalline du substrat de silicium est un moyen qui permet d'augmenter la mobilité des trous. Traditionnellement, les substrats sont orientés (001) avec une direction de conduction selon $\langle 110 \rangle$. Mais plusieurs orientations et directions sont possibles [Irie04].

De nombreuses études ont démontré que les performances du pMOS pour les faibles longueurs de grilles augmentent en changeant simplement l'orientation du canal de conduction dans un sens déterminé [Hwan04] [Yang03] [Feno09]. Dans cette optique, nous avons étudié l'impact de cette configuration sur les dispositifs FD SOI avec un oxyde enterré ultra mince. Les substrats orientés (100) sont alors simplement tourné de 45° au cours du procédé de fabrication (Figure IV.21). On oriente alors le canal des transistors suivant la direction $\langle 100 \rangle$ au lieu de $\langle 110 \rangle$.

Cette simple manipulation permet un gain de 15 % du courant débité par le drain pour les PMOS (Figure IV.22) et laisse invariante la tension de seuil pour les n et pMOS en régime linéaire et saturé (Figure IV.23).

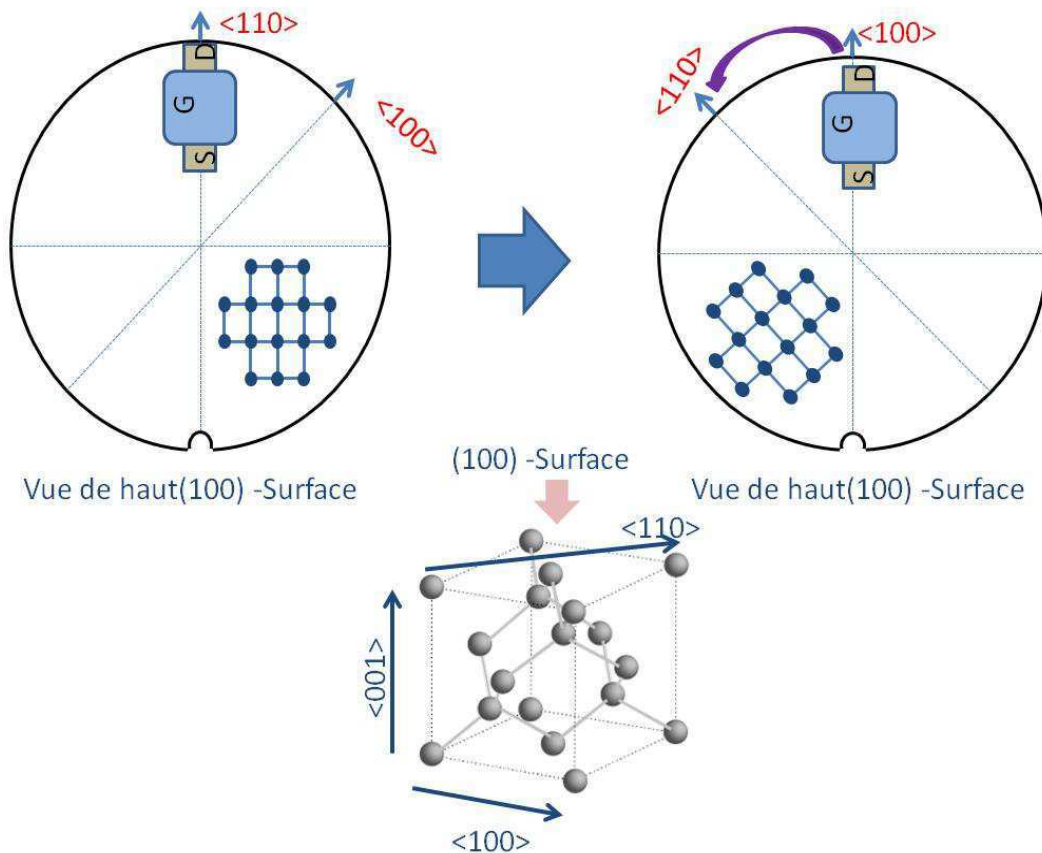


Figure IV.21 Différence d'orientation cristallographique du canal entre $\langle 100 \rangle$ et $\langle 110 \rangle$

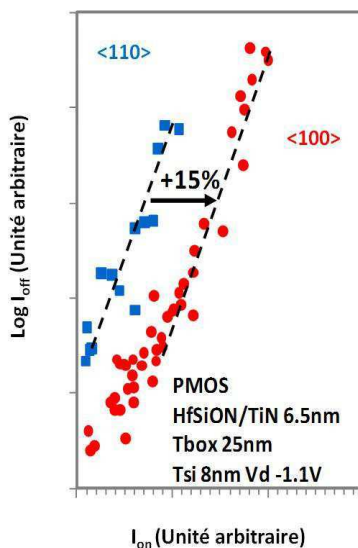


Figure IV.22 Impact de la rotation de 45° du substrat sur le courant débité pour un PMOS

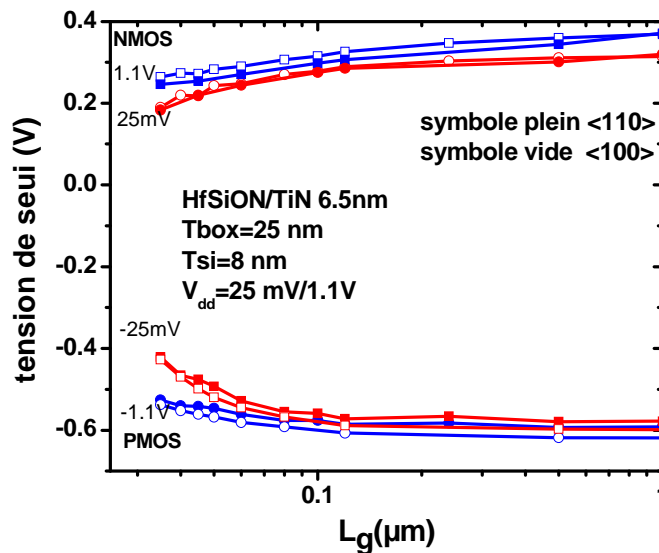


Figure IV.23 Tension de seuil pour un substrat tourné vs non tourné pour n et pMOS

L'origine de ce gain en performances peut être expliquée par l'effet induit par le confinement quantique sur la réduction de la masse effective de conduction pour cette direction cristallographique.

(i) En effet, pour le silicium, les minima de la bande de conduction sont situés au point X (vallées $\Delta/\langle 100 \rangle$). Ils sont constitués de six surfaces isoénergétiques (ellipsoïdes centrés en X) dans l'espace réciproque (Figure IV.24).

De son côté la bande de valence est dégénérée en bande de trous lourds (Heavy Hole) et trous légers (Light Hole) avec un minimum en Γ . Les surfaces d'énergie constante peuvent être représentées par des sphères de gauchies centrées en $k=0$ [Math11].

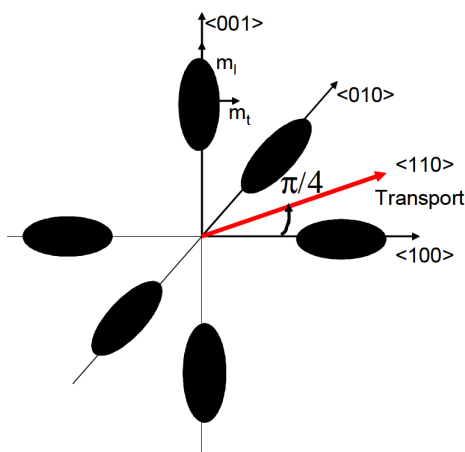


Figure IV.24 Surface isoénergétique de la bande de conduction dans l'espace réciproque pour les électrons

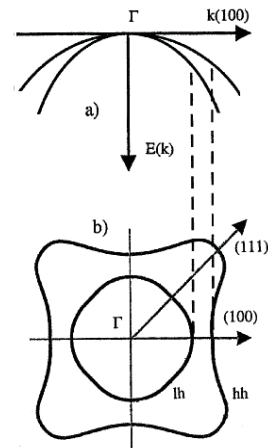


Figure IV.25 (a) Courbes de dispersion au voisinage de $k=0$ (b) surface d'énergie pour les trous lourds et trous légers [Math11]

La figure IV.25 montre que la masse effective des trous dépend de l'orientation cristalline. Elle montre aussi que cette masse n'est pas équivalente dans toutes les directions cristallographiques. Elle représente la moyenne des masses effectives de chaque minimum de vallée pris dans une direction choisie et pondéré par la proportion de porteurs dans chaque niveau d'énergie.

(ii) En forte inversion, les porteurs sont confinés entre l'oxyde de grille et le volume du canal de silicium. Le potentiel vu par les porteurs de la couche d'inversion est sous la forme d'un puits triangulaire plus ou moins abrupt et varie très rapidement dans la direction perpendiculaire au transport. Les porteurs dans le canal sont alors confinés dans la direction transverse sous forme d'ondes stationnaires. Le transport est alors bidimensionnel dans le plan du substrat et sera indicée par \perp .

Pour un substrat (001), on distingue 4 ellipsoïdes dans le plan (001) et deux dans la direction $\langle 001 \rangle$. Elles se différencient par la masse effective $m_{\Delta 2}$ et $m_{\Delta 4}$. Ces mêmes masses interviennent dans la quantification des niveaux d'énergie dans ce puits quantique

$$E_i = \left(\frac{\hbar}{2m_{\perp}} \right)^{1/3} \left(\frac{3\pi \cdot q E_{eff}}{2} \left(i + \frac{3}{4} \right) \right)^{2/3} \quad (IV.27)$$

Comme $m_{\Delta 2} > m_{\Delta 4}$ les vallées $\Delta 2$ ont une faible énergie elles seront donc plus peuplées, ce qui affecte la masse de conduction, car la masse effective est pondérée par le nombre de porteurs.

Ce raisonnement est transposable dans le cas des trous sauf que cette étude est compliquée à réaliser du fait de la forme des surfaces isoénergétiques de la bande des trous lourds dans l'espace réciproque [Guil05].

Les deux effets qu'on vient d'évoquer contribuent en l'augmentation des performances de transport dans les PMOS. Les Figures IV.26&27 montrent un gain de 10~14 % de la mobilité à faible champ et la mobilité split C-V [Andr05] respectivement en faible et forte inversion.

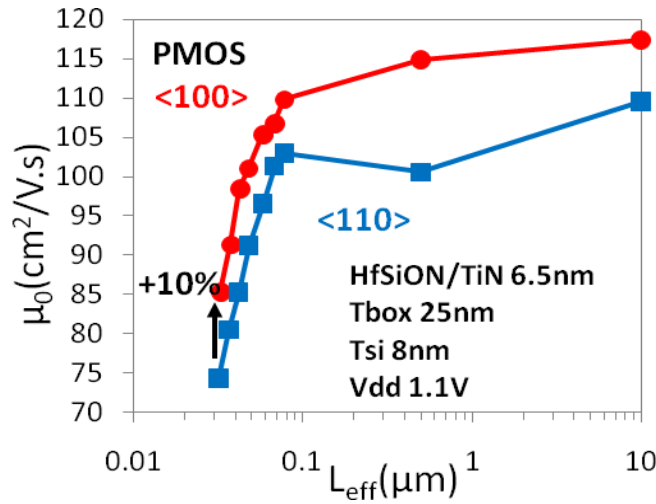


Figure IV.26 Évolution de la mobilité à faible champ pour un substrat tourné et non tourné [Bena12a]

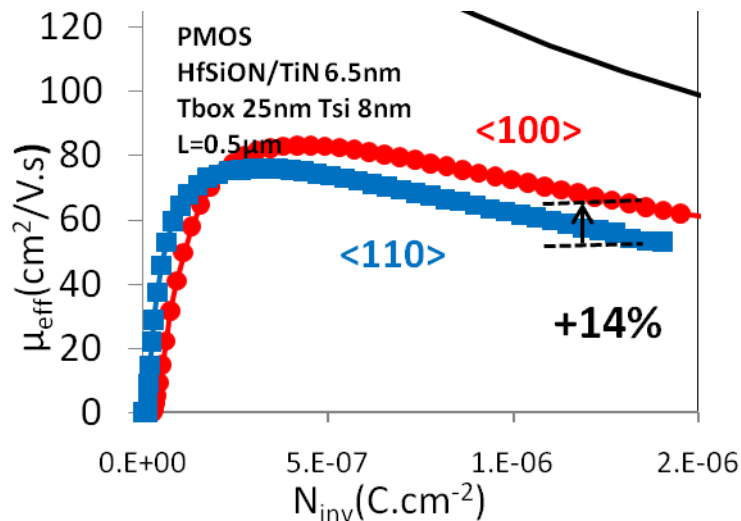


Figure IV.27 Évolution de la mobilité split CV pour un substrat tourné et non tourné [Bena12a]

VII. Étude basse température

L'étude à basse température de la mobilité à faible champ des porteurs permet d'extraire des informations très importantes sur les mécanismes de collisions se produisant dans le canal de conduction. La mobilité des porteurs est contrôlée par différents mécanismes de collisions : les phonons, les collisions Coulombiennes, les défauts neutres où la rugosité de surface.

Les interactions avec la rugosité de surface augmentent en théorie à faible température [Ferr84], néanmoins dans la pratique cette augmentation est masquée par la diminution des interactions avec les phonons. De plus, cette composante peut être négligée puisqu'on va s'intéresser à la mobilité à faible champ μ_0 .

Les composantes de la mobilité ont une dépendance différente en température, excepté les défauts neutres qui ont une dépendance en température nulle (éq IV.28-30). Il est donc intéressant de voir leurs évolutions sur les dispositifs avancés de type FD SOI et sur de faibles longueurs de grilles.

$$\mu_{0Ph}(T) = \frac{300\mu_{Ph}}{T} \quad (IV.28)$$

$$\mu_{0CS}(T) = \frac{T\mu_{CS}}{300} \quad (IV.29)$$

$$\mu_{0N} = \mu_N \quad (IV.30)$$

Des mesures de courant I_d - V_g à basse température ont été effectuées sur les dispositifs montés dans des boîtiers. En effet, les mesures sous pointes en station cryogénique présentent l'inconvénient d'une qualité de contact aléatoire en fonction de la température et de la dureté des matériaux constituant le plot de connexion et la pointe.

La mobilité à faible champ est extraite en utilisant la fonction Y [Ghib88].

Nous allons maintenant reproduire ces courbes de mesures en utilisant un modèle simple de mobilité à faible champ en fonction de la température, basé sur la loi de Matthiessen [Roma04] [Cros06].

$$\frac{1}{\mu_0}(T) = \frac{T}{300\mu_{Ph}} + \frac{300}{T\mu_{CS}} + \frac{1}{\mu_N} \quad (IV.31)$$

1) Étude comparative entre substrats tourné 45° et non tourné

Des mesures de mobilité ont été effectuées sur les dispositifs FD SOI n&pMOS tourné de 45° et non tourné et pour différentes longueurs de grilles à des températures allant de 300 K à 15 K. Les figures IV.28&29 montrent l'augmentation de la mobilité dans les dispositifs pMOS pour les deux orientations cristallographiques avec la diminution de la température. Cette augmentation est la conséquence directe de la diminution des vibrations du réseau avec la température ce qui permet aux porteurs d'avoir une mobilité plus grande.

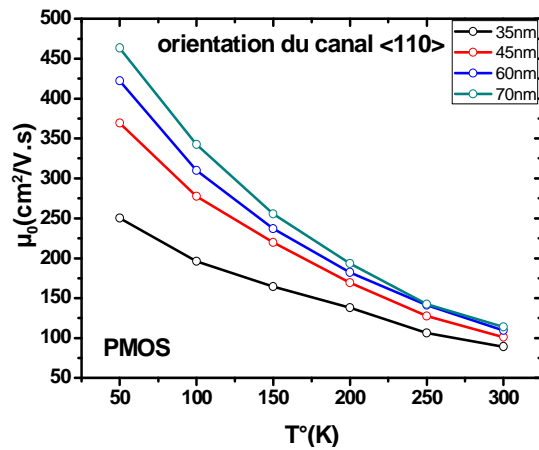


Figure IV.28 Mobilité à faible champ pMOS <110> et $W=1\ \mu\text{m}$ $T_{\text{si}}=8\ \text{nm}$, $T_{\text{box}}=25\ \text{nm}$

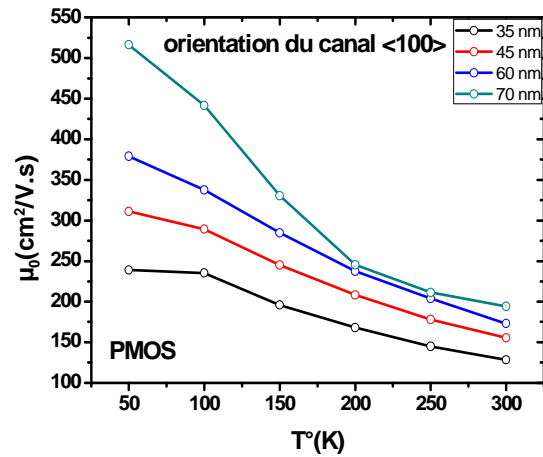


Figure IV.29 Mobilité à faible champ pMOS <100> et $W=1\ \mu\text{m}$. $T_{\text{si}}=8\ \text{nm}$, $T_{\text{box}}=25\ \text{nm}$

En utilisant le modèle défini par l'équation (IV.31) on peut décorréliser les contributions de chacune des composantes de la mobilité en fonction de l'orientation du canal.

On constate bien évidemment que cette mobilité est plus grande pour l'orientation <100> pour les raisons expliquées dans le paragraphe VI.2. Cependant à très basse température cette tendance s'inverse et on observe une augmentation de la mobilité dans l'orientation conventionnelle <110> (Figure IV.30). Cet effet est constaté pour les longueurs en dessous de 70 nm (Figure IV.32).

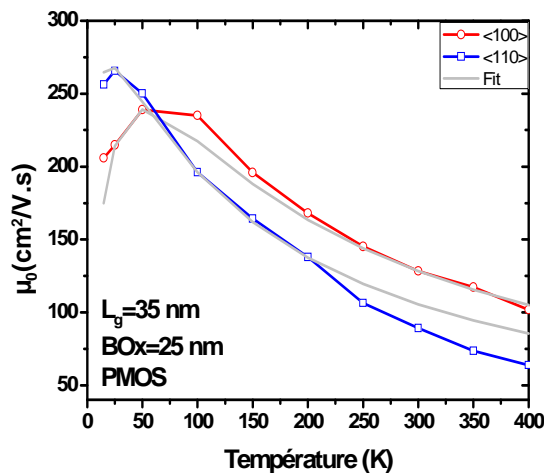


Figure IV.30 Évolution de la mobilité à faible champ pour les deux orientations de canal avec un 'fit' des mesures $T_{\text{si}}=8\ \text{nm}$, $T_{\text{box}}=25\ \text{nm}$

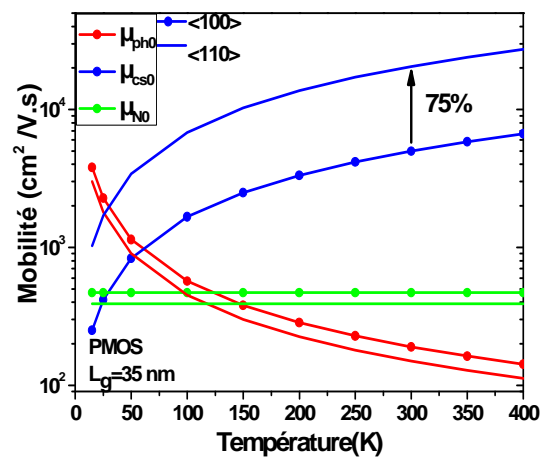


Figure IV.31 Contribution des composantes de la mobilité en fonction de la température pour pMOS FD SOI 35 nm suivant les deux orientations cristallographiques $T_{\text{si}}=8\ \text{nm}$, $T_{\text{box}}=25\ \text{nm}$

($\text{cm}^2/\text{V.s}$)	μ_{Ph}	μ_{Cs}	μ_{N}
<100>	190	6500	420
<110>	150	3000	360

Tableau IV.2

Le tableau IV.2 résume les valeurs des composantes de la mobilité qui ont permis de représenter la courbe de mobilité mesurée sur un transistor pMOS 35 nm avec les deux orientations cristallographiques (Figure IV.30).

En utilisant les équations (IV.28-30) nous avons la possibilité de voir l'évolution des composantes de la mobilité en fonction de la température (Figure IV.31). On constate une augmentation de la mobilité à travers les interactions Coulombiennes de 75% par rapport à l'orientation $\langle 110 \rangle$. On s'attend à ce que la mobilité totale en soit impactée, sauf que cet effet se trouve écranté par les interactions avec les phonons qui sont majoritaires. Avec la diminution de la température, l'effet de ces interactions diminue aux profits des interactions avec les défauts neutres et les interactions Coulombiennes sur la mobilité, ce qui explique la diminution de la mobilité à très basse température pour l'orientation $\langle 100 \rangle$. Néanmoins, cet effet disparaît ou devient moins important quand on augmente la longueur de grille (Figure IV.32), Ce qui suggère également un rôle des défauts neutres. Une question se pose alors : est-ce que l'effet de l'orientation cristallographique du canal (et donc la diminution de la masse effective) sur la mobilité des trous devient négligeable devant l'effet de l'interaction avec les défauts ?

Plusieurs effets entrent en jeu dans la mobilité des porteurs dans les canaux courts ; peuplements des bandes par les trous (bande de trous légers et lourds), comportement du champ sous les effets quantiques et effets des masses de confinements. Pour répondre à cette question avec certitude, il faut faire des simulations poussées pour voir l'impact de ces phénomènes sur la mobilité des porteurs.

La figure IV.33 montre l'évolution des composantes de la mobilité pour des transistors nMOS. Elle montre que ces composantes varient différemment avec la longueur de la grille. Elle confirme la non-dépendance des interactions avec les phonons avec la longueur de grille ainsi que l'impact des défauts neutres qui devient grandissant avec la réduction des longueurs de grille. On constate aussi que dans le cas de nMOS les interactions avec les phonons sont majoritaires et écrantent ainsi toutes les autres composantes de la mobilité

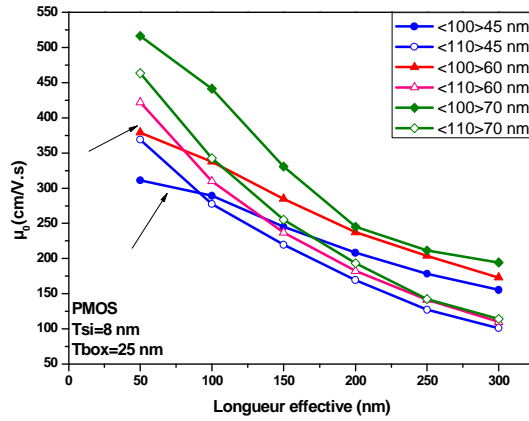


Figure IV.32 Évolution de la mobilité effective en fonction de la température pour différentes longueurs et pour deux orientations de canal

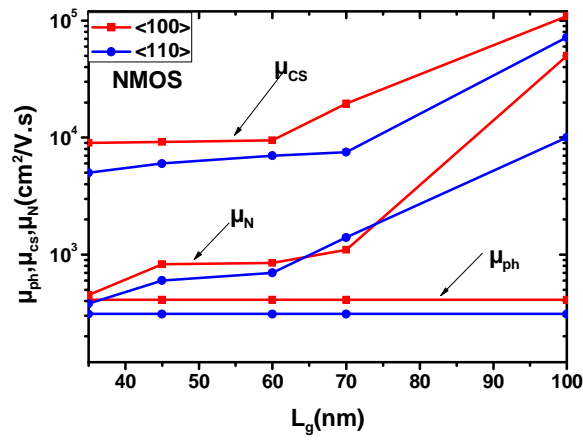


Figure IV.33 Évolution de la mobilité à travers les phonons, collisions Coulombienne et défauts neutres en fonction de la longueur de grille pour le nMOS $T_{si}=8$ nm, $T_{box}=25$ nm

Les deux figures suivantes montrent l'évolution de la mobilité due aux défauts (éq IV.32) en fonction de la longueur de grille à température ambiante 300 K et à basse température 50 K pour n&pMOS.

$$\mu_{Defects}^{-1}(T) = \left(\frac{300}{T\mu_{CS}} + \frac{1}{\mu_N} \right)^{-1} \quad (IV.31)$$

La figure IV.34 montre que la contribution de ces défauts est plus grande dans l'orientation <100> à toutes températures. On constate également qu'à basse température la mobilité due aux défauts diminue, conséquence directe de la dépendance des interactions Coulombiennes avec la température. Les défauts neutres sont majoritaires devant les défauts chargés.

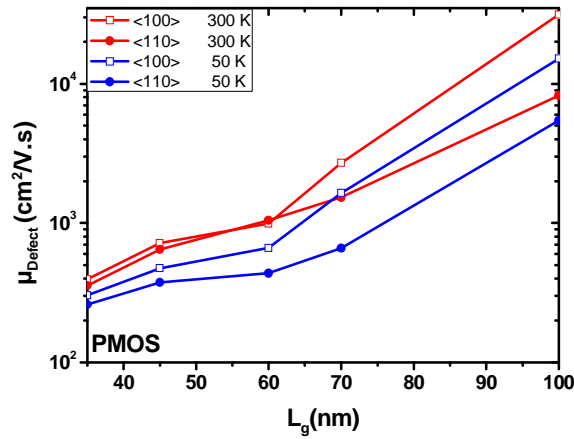


Figure IV.34 Évolution des mobilités à travers les défauts en fonction de la longueur de grille pour deux températures 300 et 50 K pour un pMOS

La figure IV.35, quant à elle, montre le pourcentage de la mobilité due aux défauts par rapport à la mobilité totale faible champ pour un transistor nMOS avec différentes longueurs. Elle confirme que l'impact de ces défauts est négligeable pour les canaux longs et leur influence tend à augmenter pour les courts pour atteindre plus de 45 % pour les faibles longueurs de grilles 35nm à température ambiante et ce ratio augmente à plus de 55% à 50 K.

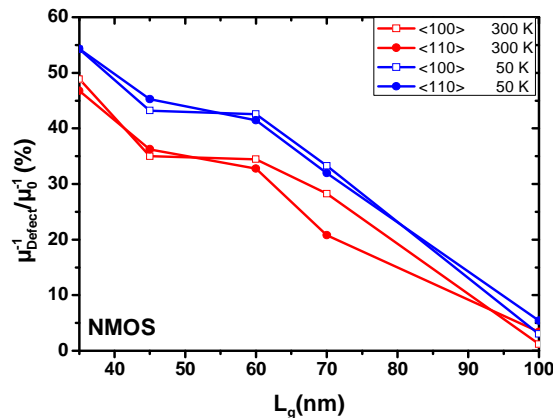


Figure IV.35 Évolution du pourcentage des mobilités à travers les défauts par rapport à la mobilité à faible champ pour nMOS $T_{\text{si}}=8$ nm, $T_{\text{box}}=25$ nm

2) Étude comparative des mobilités entre FD SOI et Silicium massif

Plusieurs études ont été consacrées à la comparaison en termes de paramètres électriques entre transistors FD SOI et silicium massif [Yan92] [Sury03] [Emin04]. Cependant, peu d'entre elles ont été consacrées à l'étude comparative de la mobilité. Dans le paragraphe suivant, l'origine des gains en mobilité pour les dispositifs FD SOI sera analysée à partir des mesures à basses températures sur des dispositifs nMOS à base de silicium massif et pMOS à base de Silicium Germanium SiGe 30% dans le canal.

Les dispositifs FD SOI et Silicium massif proviennent de la même filière technologique [Bena12] et ont donc les mêmes empilements de grilles.

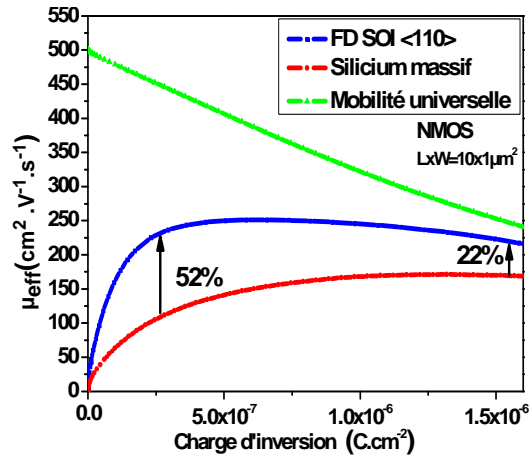


Figure IV.36 Mobilité split CV pour des structures nMOS silicium massif vs FD SOI ($T_{si}=8$ nm, $T_{box}=25$ nm HfSiON/TiN)

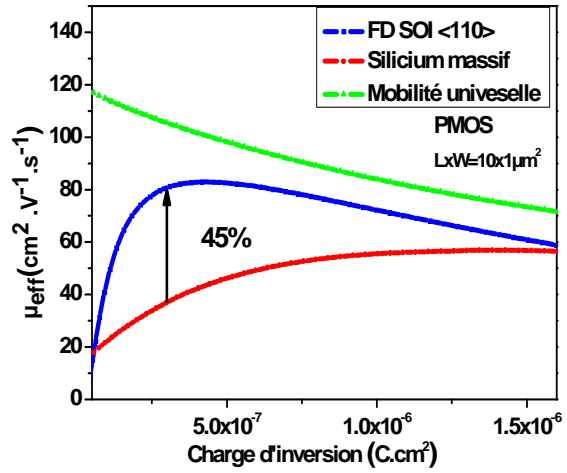


Figure IV.37 Mobilité split CV pour des structures pMOS silicium massif vs FD SOI ($T_{si}=8$ nm, $T_{box}=25$ nm HfSiON/TiN)

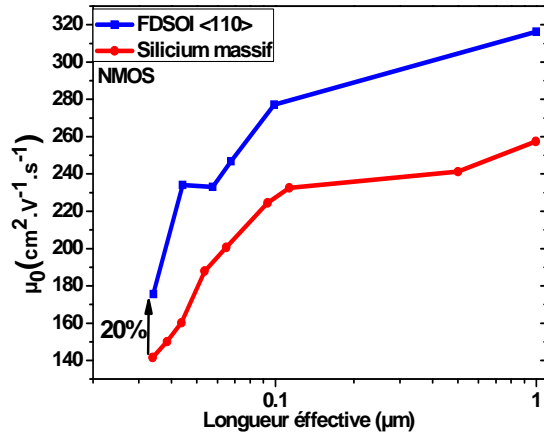


Figure IV.38 Comparaison des mobilités à faible champ entre Bulk et SOI pour des nMOS

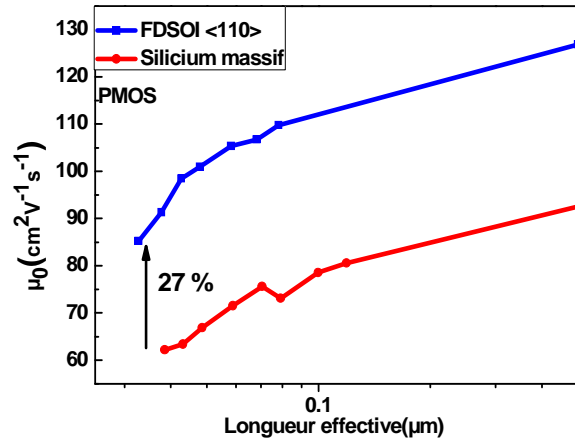


Figure IV.39 Comparaison des mobilités à faible champ entre Bulk et SOI pour des pMOS

Il est connu que l'utilisation de SOI complètement déserté améliore la mobilité des porteurs. La source de cette augmentation par rapport aux dispositifs sur silicium massif reste à déterminer.

Les Figures IV.36-39 montrent l'augmentation de la mobilité sur les transistors longs comme sur les courts n&pMOS par rapport aux dispositifs Bulk.

Les figures IV.36&37 montrent en particulier une comparaison entre la mobilité effective en fonction de la densité de charge d'inversion dans le canal pour les transistors n et pMOS FDSOI vs Bulk. Elles montrent que cette mobilité augmente de 52% sur les dispo nMOS et 45% sur les pMOS pour les faibles valeurs de la densité de charge d'inversion et qui restent en accord avec les courbes de la mobilité à faible champs sur les figures IV.38&39. Cette différence diminue à 22% pour les nMOS et une faible différence dans le cas du pMOS pour les fortes densités de charges d'inversion. Ce premier résultat permet de voir l'impact de la rugosité de surface sur la réduction de la mobilité caractéristique du fort champ.

Les figures qui suivent vont nous permettre de mieux comprendre l'origine de cette augmentation. La figure IV.40 présente une comparaison de la mobilité à faible champ à basse température pour le Bulk vs SOI. Ces courbes sont modélisées en utilisant le modèle exprimé par l'équation IV.31 et nous permettent d'extraire la dépendance des composantes de la mobilité en fonction de la température pour les deux types de transistors (Figures IV.41&42).

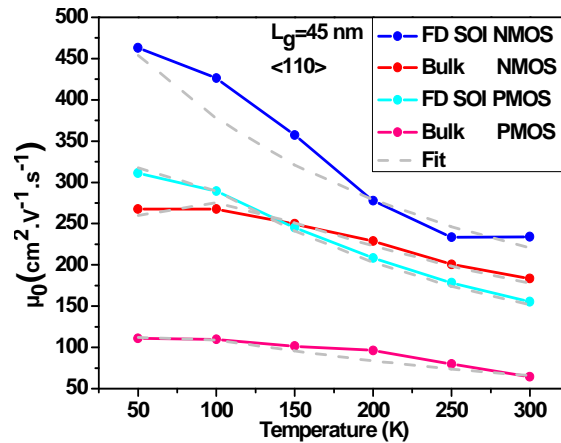


Figure IV.40 Évolution de la mobilité à faible champ pour Bulk et FD SOI n&pMOS avec un 'fit' des mesures ($L_g=45$ nm, $T_{si}=8$ nm, $T_{box}=25$ nm)

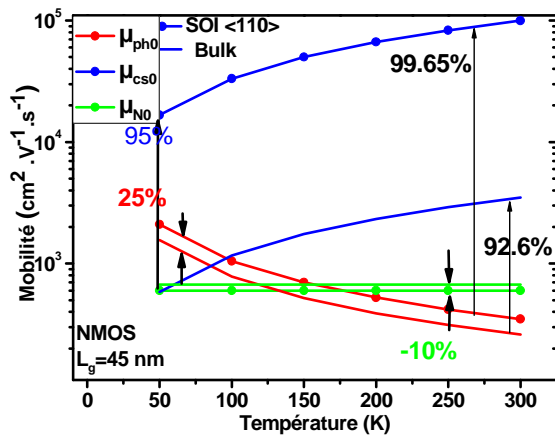


Figure IV.41 Contribution des composantes de la mobilité en fonction de la température pour un nMOS FD SOI vs Bulk 45 nm

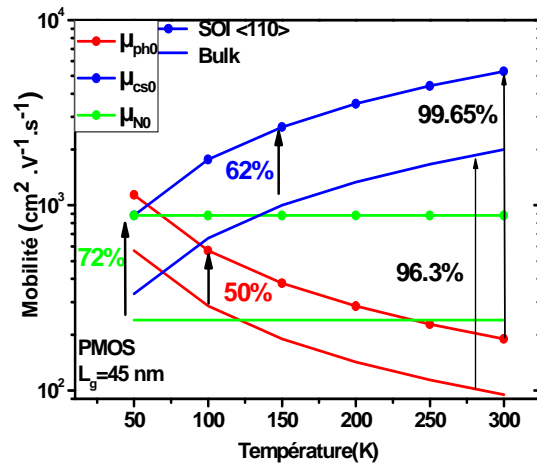


Figure IV.42 Contribution des composantes de la mobilité en fonction de la température pour un pMOS FD SOI vs Bulk 45 nm

Les figures IV.41&42 montrent l'évolution de μ_{ph} , μ_{cs} et μ_{N} avec la température pour les dispositifs n&pMOS FDSOI et Bulk. La principale observation qu'on peut noter est que la diffusion à travers les phonons reste la principale source de limitation de mobilité dans les deux dispositifs à 300K (Courbes rouges avec les valeurs de mobilité les plus faibles dans les figures IV.41 et IV.42). Son impact est 99% supérieur à celui des interactions Coulombiennes dans les dispositifs FD SOI n&pMOS. Ces valeurs tombent à 96 et 92% sur les dispositifs Bulk p&nMOS respectivement. Ce premier constat nous donne une première

indication qui consiste à dire que les interactions Coulombiennes sont plus importantes dans le cas Bulk et sont forcément dues au dopage qui représente la différence majeure entre les deux structures. Cette différence entre les mobilités coulombiennes est de 95% pour un nMOS FD SOI par rapport au Bulk et n'est que de 62% dans le cas du PMOS.

Ces figures permettent aussi de comparer la différence de mobilité due à la diffusion à travers les phonons pour les 2 types de substrats. Elle représente 25% pour les nMOS et 50% pour les pMOS. Ces figures mettent ainsi en avant une des sources principales de l'augmentation de la mobilité mesurée sur les dispositifs FD SOI.

Il faut noter aussi que les défauts neutres et les phonons ont un effet plus important sur les pMOS Bulk SiGe par rapport aux NMOS donnant lieu à une réduction de μ_N de 72% et de 50% pour μ_{Ph} (Figure IV.42).

Avec la réduction de la température, l'effet des diffusions à travers les phonons diminue et laisse place aux interactions Coulombiennes qui deviennent ainsi la principale source de réduction de mobilité accompagnant les défauts neutres.

VIII. Transport en régime de saturation

1) Transport stationnaire

Quand la tension appliquée sur le drain V_D dépasse la valeur de $V_g - V_{thlin}$ le transistor MOS bascule en régime de saturation. Le transport dans ce cas est alors gouverné par un fort champ entre source et drain. Le régime de saturation définit le courant I_{on} du transistor et il est primordial de comprendre tous les mécanismes qui interviennent dans ce régime.

Dans ce paragraphe nous allons extraire les différents paramètres caractéristiques de ce régime et nous discuterons les différents modèles (ballistique et quasi ballistique) pour le transistor MOS FD SOI.

Dans le régime de saturation, l'expression du courant de drain dans un canal long est donnée par (eq IV.32).

$$I_{dsat} = \frac{W_{eff}}{2L_{eff}} C_{ox} \mu_{sat} (V_g - V_{thsat})^2 \quad (IV.32)$$

Avec μ_{sat} la mobilité apparente des porteurs en régime de saturation (Figure IV.43). Le champ effectif dans ce cas, pour les faibles longueurs de grilles, peut dépasser le champ électrique critique au-delà duquel le courant sature avant même le pincement du canal, et la vitesse de dérive de ces porteurs atteint une vitesse limite appelée vitesse de saturation V_{sat} . La figure IV.43 montre la mobilité en régime de saturation en fonction la longueur effective du canal pour n&pMOS avec plan de masse de type opposé au dopage des source/drain (OGP) et le même plan de masse que source/drain (SGP). Cette figure montre ainsi la sensibilité de μ_{sat} aux champs électriques dans le canal qui varie sous l'effet du GP sous le Box.

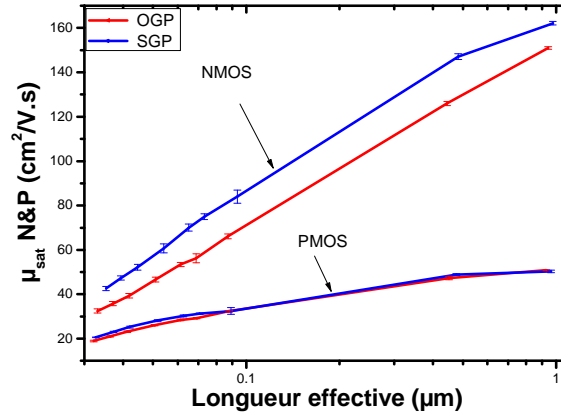


Figure IV.43 Mobilité en régime de saturation en fonction de la longueur effective pour deux types de GP avec $W=10\mu\text{m}$ et $T_{\text{box}}=10\text{ nm}$, $T_{\text{si}}=8\text{nm}$

1. Vitesse de dérive V_{drift}

L'énergie thermique est la seule source d'énergie à l'origine du mouvement des porteurs en l'absence d'un champ électrique appliqué entre source et drain. Cette énergie crée un déplacement de groupe de moment et vitesse nuls. L'application d'un champ électrique ajoute une composante de vitesse non nulle à la vitesse de groupe des porteurs. Cette vitesse présente une évolution linéaire dans la zone d'inversion avant le pincement et sature au-delà. Cette composante de vitesse est ce qu'on appelle la vitesse de dérive V_{drift} . [Baum70]

$$V_{\text{drift}} = \frac{I_{\text{dsat}}}{W_{\text{eff}} C_{\text{ox}} (V_g - V_{\text{thsat}})} \quad (\text{IV.33})$$

La figure IV.44 montre l'évolution de la vitesse de dérive en fonction de la longueur effective pour n&pMOS avec deux types de plan de masse (O(opposé)GP → GP N pour pMOS et GP P pour nMOS, S(similaire)GP → GP N pour nMOS et GP P pour pMOS). Elle montre que cette vitesse de dérive augmente avec la réduction de la longueur du canal. Cet effet est dû à l'augmentation du champ longitudinal dans le canal avec la réduction des dimensions, néanmoins, cette vitesse tend vers les mêmes valeurs (non nulles mais faible $\sim 5000 \text{ } 5 \times 10^6 \text{ cm/s}$ par rapport aux canaux courts) pour les transistors longs. Cette figure met en évidence l'impact du plan de masse sur la vitesse de dérive puisque ce dernier fait varier le champ effectif transverse dans le canal et impacte la vitesse des porteurs pour les faibles longueurs.

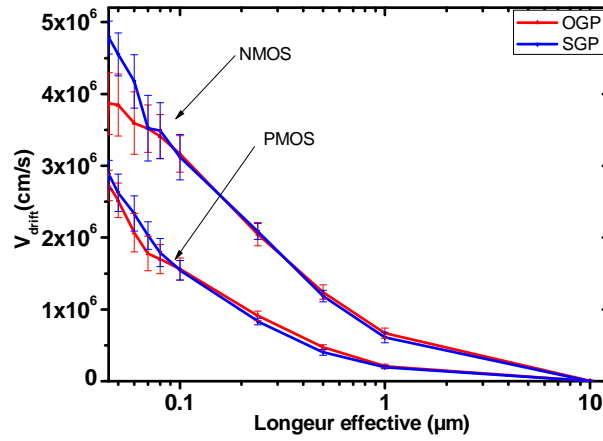


Figure IV.44 Évolution de la vitesse de dérive en fonction de la longueur effective (n&pMOS) pour deux type de GP avec $W=10\mu\text{m}$ et $T_{\text{box}}=10\text{ nm}$

2. Vitesse de saturation V_{sat}

Avec un champ longitudinal fort (supérieur à 10^5 V/cm) les porteurs acquièrent une vitesse définie au chapitre précédent comme la vitesse de dérive V_{drift} .

Avec l'augmentation du champ électrique, l'énergie cinétique des porteurs devient comparable à l'énergie propre des phonons optiques. Ces vibrations du réseau influencent la relaxation du moment des porteurs et donc leur vitesse. Cette relaxation en énergie avec les phonons optiques limite le gain en énergie cinétique des porteurs.

La vitesse maximale que peuvent atteindre les porteurs est définie comme la vitesse de saturation V_{sat} . [Jaco77]

$$V_{\text{sat}} \approx \sqrt{\frac{8}{3\pi} \frac{\hbar\omega}{m^*}} \quad (\text{IV.34})$$

Où $\hbar\omega$ est l'énergie propre d'un phonon optique

Dans le cas des dispositifs sur substrat massif, la diffusion à travers les phonons de la vallée Γ est dominante et cette vitesse atteint la valeur de 10^7 cm/s à température ambiante [Jaco77]. Il est à noter que cette vitesse est calculée à partir de l'énergie des phonons optique et varie selon le matériau utilisé.

La vitesse de saturation dépend de la température et elle augmente avec la diminution de la température. (éq IV.35) [Jaco77]

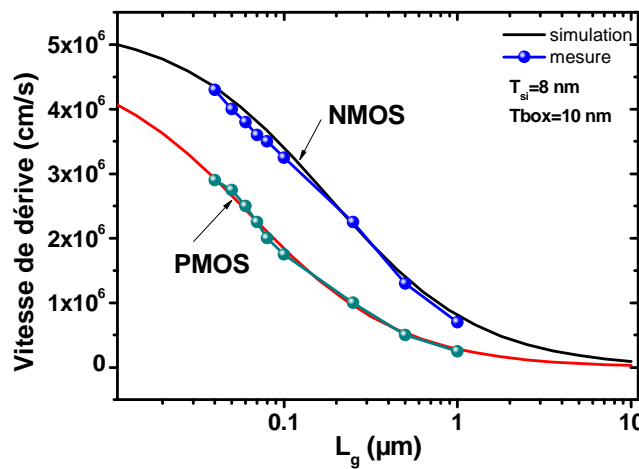
$$V_{\text{sat}} = \frac{2,4 \cdot 10^7}{1 + 0,8e^{T/600}} \quad (\text{IV.35})$$

La vitesse de dérive pour les nMOS est plus grande que celle des pMOS comme illustré sur la figure IV.45. Ces mesures ont été simulées en utilisant un modèle de courant de saturation standard du drain associé à la vitesse de dérive [Bens07] (éqs IV.36-37).

$$I_{dsat} = \frac{WC_{ox}\mu_{lin}(V_g - V_{thsat})^2}{2L \left[1 + \frac{(V_g - V_{thsat})\mu_{lin}}{2LV_{sat}} \right]} \quad (IV.36)$$

$$V_{drift} = \frac{(V_g - V_{thsat})\mu_{lin}}{2L} \left/ \left(1 + \frac{(V_g - V_{thsat})\mu_{lin}}{2LV_{sat}} \right) \right. \quad (IV.37)$$

Ces simulations illustrent la validité du modèle des équations IV.36-37 pour décrire la vitesse de dérive pour des transistors n et pMOS et permettent d'extraire les valeurs de vitesse de saturation qui permettent de modéliser les courbes de vitesse $V_{satN} \approx 9 \cdot 10^6$ cm/s et $V_{satP} \approx 6.6 \cdot 10^6$ cm/s



Vitesse de dérive vs L_g : mesures et simulations pour des transistors n& pMOS FD SOI

Les valeurs de vitesses maximales extraites indiquent clairement que le transport à fort champ dans ce type de dispositifs est encore gouverné par les phénomènes de saturation de vitesse et restent assez distantes de celles attendues pour le transport quasi balistique ou balistique dont la valeur devrait être proche de la vitesse d'injection à la source virtuelle ($V_{inj} = 1.7 \times 10^7$ cm/s)

2) Le transport non-stationnaire

Plusieurs hypothèses peuvent expliquer la diminution de la mobilité sur les canaux courts. L' influence du RCS (Remote Coulomb Scattering), des défauts neutres ou de la rugosité de surface ont été étudiées dans le paragraphes III. Dans cette partie, nous allons discuter l'impact du concept de transport balistique ou quasi balistique sur les paramètres de la mobilité.

Nous allons donc détailler les deux approches de transport non-stationnaire qui permettent d'expliquer les performances électriques des dispositifs courts :

1. Le phénomène de survitesse 'overshoot'

Le phénomène de survitesse résulte du fait que la relaxation en énergie des porteurs n'est pas instantanée, introduisant des vitesses de transport supérieures à celles de l'équilibre $\gg 10^7$ cm/s (Figure IV.46). Autrement dit, le temps de transit des porteurs dans le réseau est inférieur au temps moyen de relaxation en énergie et les porteurs n'ont pas le temps de subir suffisamment de collisions inélastiques pour pouvoir thermaliser et atteindre un état d'équilibre [Mark Lundstrom].

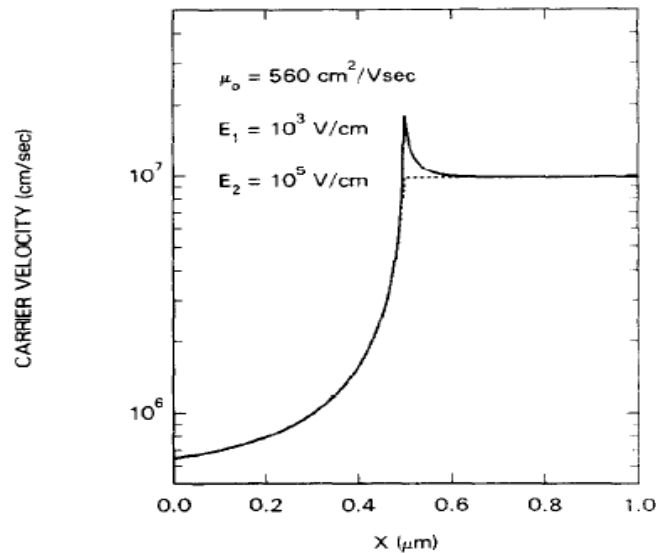


Figure IV.45 Vitesse de dérive des porteurs en fonction de la distance du canal à partir de la source [Bacc85]

2. Transport balistique et quasi balistique

Dans le modèle balistique, les porteurs, durant leurs parcours de la source au drain, ne subissent aucune interaction. Leurs trajectoires et vitesses dans le canal dépendent la position, et la vitesse d'injection V_{inj} .

Plusieurs explications sont fournies pour décrire la diminution de la mobilité dans les dispositifs ultra courts ; cette diminution est attribuée aux défauts neutres [Cros06] et aussi à l'établissement du régime quasi balistique [Aror11].

Le modèle quasi balistique assure la continuité entre le régime de dérive diffusion (nombre important de collisions) et le régime complètement balistique. La théorie du transport quasi balistique suggère que 50% des porteurs injectés dans le canal subiront une interaction lors de leurs traversées du canal en direction du drain [Aror11]. Ce phénomène introduit donc de nouveaux paramètres.

- **Vitesse d'injection**

La vitesse d'injection des porteurs à l'entrée du canal est un facteur clef dans la théorie balistique puisqu'elle définit la vitesse moyenne avec laquelle les porteurs entrent dans le canal, que ce soit du côté de la source ou du drain.

- **Effet de la rétrodiffusion**

C'est une théorie définie par M.Lundstrom et al [Lund02] elle dépend de la *distance critique* l_{kT} (ou *kT-layer*) (Figure IV.47). Les porteurs quittant le réservoir de la source peuvent être rétrodiffusés à leur point d'origine avec une probabilité 'r' qui définit le facteur de rétrodiffusion dans le régime linéaire ou saturés.

$$r^{lin} = \frac{L_{eff}}{L_{eff} + \lambda} \text{ pour } V_{ds} \leq \frac{kT}{q} \quad (IV.38)$$

$$r^{sat} = \frac{l_{kT}}{l_{kT} + \lambda} \text{ pour } V_{ds} \gg \frac{kT}{q} \quad (IV.39)$$

Avec λ le libre parcours moyen des porteurs caractéristique du mécanisme de rétrodiffusion [Lund01].

$$\lambda = \frac{2\mu_0 kT}{qV_{ther}} \quad (IV.40)$$

$$l_{kT} \approx \frac{2kTL_{eff}}{qV_{gt}} \quad (IV.41)$$

Avec v_{ther} , la vitesse thermique des porteurs dans le silicium extraite à partir de simulation et qui est de l'ordre $2 \cdot 10^7$ cm/s [Lund92].

Le *kT-layer* est une zone proche de la source dans laquelle le potentiel de surface varie de quelques unités de potentiel thermique (kT/q), permettant ainsi au porteur d'être rétrodiffusé à la source dans le cas d'une interaction. Des simulations ont été effectuées pour calculer cette probabilité [Pont06]. Cette étude montre que la diffusion des porteurs avec la rugosité de surface contribue à hauteur de 70 % de probabilité en comparaison avec les autres mécanismes de diffusions dans le cas du FD SOI.

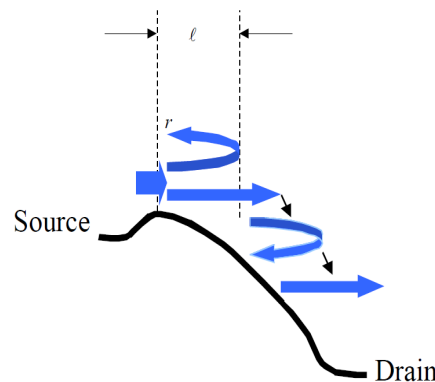


Figure IV.46 Illustration du phénomène de rétrodiffusion dans un MOSFET ainsi que de la distance critique ou 'kT-layer' [Lund02]

La rétrodiffusion diminue avec la contrainte mécanique sur les dispositifs. Par exemple pour les composants sub 100 nm la contrainte induit une modulation du libre parcours moyen des porteurs et une réduction de l'épaisseur de la couche responsable de la rétrodiffusion [Hong05].

M.Shur [Shur02] a donné l'expression de cette nouvelle mobilité en introduisant la notion de mobilité balistique basée sur la méthode des flux en définissant μ_{eff} comme [Wang03]

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{long}} + \frac{1}{\mu_{bal}} \quad (IV.42)$$

Avec μ_{bal} la mobilité balistique et μ_{long} est la mobilité d'un transistor long. La mobilité μ_{bal} est grande et sans influence pour les dispositifs longs alors que son influence prend de l'importance quand on réduit la longueur de grille. Avec

$$\mu_{bal} = \frac{2qL_{eff}}{\pi m^* V_{th}} \quad (IV.43)$$

Cependant de récents travaux de Zilli et al. [Zill07] basés sur des calculs Monte-Carlo démontrent que cette approche quasi balistique n'explique pas totalement la dégradation observée expérimentalement et ils suggèrent qu'il y a d'autres mécanismes qui créent cette dégradation.

Comme on vient de le voir, la théorie quasi balistique prévoit qu'une partie (1-r) de porteurs atteint le drain sans interagir dans le canal. Tandis qu'à fort champ, l'interaction des électrons avec les phonons optiques provoque une non-linéarité de la loi d'Ohm. La vitesse de dérive des porteurs n'est plus linéairement proportionnelle au champ et sature à une vitesse de saturation v_{sat} . Ces deux mécanismes de limitation ne peuvent pas se produire en même temps et le phénomène le plus limitant régit la valeur maximum du courant de saturation I_{sat} . D.Fleury a introduit un nouveau concept qui est la vitesse limite tel que $V_{lim} = \min(V_{sat}, V_{inj})$ [Fleu09].

$$\frac{\partial}{\partial V_{gt}} \left(\frac{L}{\mu_{on}} - \frac{L}{\mu_{lin}} \right) = \frac{1}{V_{lim}} \quad (IV.44)$$

La figure suivante présente l'extraction de la vitesse limite dans le cas des dispositifs FD SOI n&pMOS avec deux types de plan de masse. Cette figure prouve, en premier lieu, que cette vitesse dépend du champ dans le canal et suit la même tendance que celle de la vitesse de dérive. De plus elle montre qu'on reste loin de la limite du transport balistique ou et que c'est la vitesse de saturation qui limite le courant. Cependant, ces valeurs sont plus faibles que celles extraites sur les dispositifs Bulk (Figure IV.49) malgré les mobilités plus fortes en régime linéaire et saturé pour le cas du FD SOI. L'origine de ce décalage peut provenir de l'erreur qu'on peut faire pour extraire les charges d'inversion en régime de saturation (éq IV.45).

$$Q_{inv} \approx C_{eff} (V_g - V_{th}(V_{ds})) \quad (IV.45)$$

Où C_{eff} est la capacité effective en inversion et $V_{th}(V_{ds})$ la tension de seuil dans laquelle les effets de canal court (DIBL) sont pris en compte.

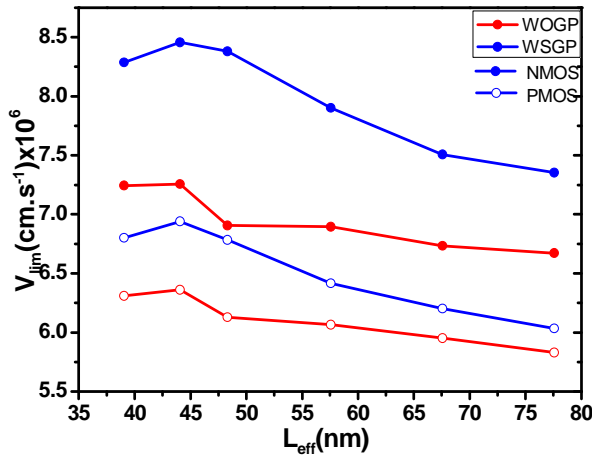


Figure IV.47 Vitesse limite en fonction de la longueur effective sur les dispositifs FD SOI extraite à $V_g - V_{th} = \pm 1.1$ V ($T_{si} = 8$ nm et $T_{box} = 10$ nm)

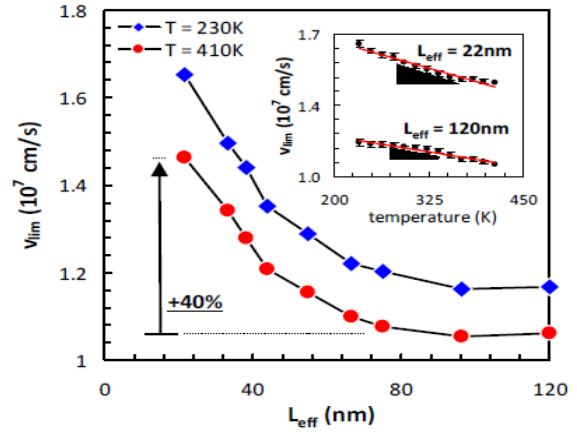


Figure IV.48 Vitesse limite en fonction de la longueur effective pour des dispositifs Bulk nMOS [Fleu09]

IX. Conclusion

Le courant I_{on} dans les transistors MOS est un paramètre clef. Dans ce chapitre nous avons essayé de comprendre les mécanismes de transport dans les dispositifs MOSFET FD SOI en régime linéaire et saturé. Dans une première partie, nous avons décrit l'aspect théorique des différents mécanismes reliés à la mobilité ainsi que les différents boosters de performances sur nos structures. Ensuite, nos mesures basses températures nous ont permises de décorrélérer la contribution de chacune des composantes de mobilité et ainsi de comprendre les mécanismes qui la réduisent que ce soit sur les transistors Bulk ou FD SOI. Enfin, nous avons présenté les différents modèles de transport proposés pour expliquer les phénomènes de réduction de mobilité sur les canaux courts, qui restent néanmoins loin de la limite balistique.

Références

- [Andr05] Andrieu, F.Ernst, T.Ravit, C.Jurczak, M.Ghibaudo, G.Deleonibus, S “In-depth characterization of the hole mobility in 50-nm process-induced strained MOSFETs” Electron Device Letters, IEEE Volume: 26, Issue: 10 Page(s):755-757 (2005)
- [Ang04] K. W. Ang et al. “Enhanced performance in 50 nm N-MOSFETs with silicon-carbon source/drain regions” in IEDM Tech. Dig. Dec. pp. 1069–1071 (2004)
- [Aror11] V. K. Arora, M. S. Zainal, Abidin, S. Tembhurne, and M. A. Riyadi “Concentration dependence of drift and magneto resistance ballistic mobility in a scaled-down metal oxide semiconductor field-effect transistor” Applied Physics Letters, vol. 99, p. 063106 (2011)
- [Asch76] N.W. Aschcroft, N.D. Mermin, “Solid State Physics”, Ed. Saunders College, (1976).
- [Bacc85] G Baccarani, M R Wordeman, “An Investigation of Steady-State Velocity Overshoot in Silicon” Solid State Electronics, vol 28, n4, p407 (1985)
- [Baum70] Baum, G. Beneking, H. “Drift velocity saturation in MOS transistors” Electron Devices, IEEE Transactions on Volume: 17, Issue: 6 Page(s): 481 - 482 (1970)
- [Bena12] I.Ben Akkez, C.Diouf, A. Cros, C.Fenouillet-Beranger, P. Perreau, F. Balestra, G. Ghibaudo, F. Boeuf “On the understanding of mobility degradation mechanisms in advanced CMOS devices: FDSOI versus bulk technology” SSDM (2012)
- [Bena12a] Imed Ben AKKEZ et all "Impact of 45° rotated substrate on UTBOX FDSOI high-k metal gate technology " VLSI Technology, Systems, and Applications (VLSI-TSA), 2012 International Symposium on Page(s): 1 - 2
- [Bens07] T. Benshidoum, G. Ghibaudo and F. Bœuf “Comparison of carrier velocity gain in uniaxially and biaxially strained N-MOSFETs” Electronics Letters, 43, 647 (2007).
- [Cass06] M. Cassé et al. “Carrier transport in HfO₂/metal gate MOSFETs: physical insight into critical parameters” IEEE Transactions on Electron Devices, vol. 53, no. 4, pages 759 – 68. (2006)

- [Chane05] D. Chanemougame et al. "Performance boost of scaled Si PMOS through novel SiGe stressor for HP CMOS" in VLSI Symp. Tech. Dig., pp. 180–181. (2005)
- [Choi95] J.H. Choi, Y.J. Park and H.S. Min "Electron mobility behavior in extremely thin SOI MOSFETS", IEEE Electron Device Letters, Vol.16, pp.527, (1995)
- [Cros06] A. Cros, K. Romanjek, D. Fleury, S. Harrison, R. Cerutti, P. Coronel, B. Dumont, A. Pouydebasque, R.Wacquez, B. Duriez, R. Gwoziecki, F. Boeuf, H. Brut, G. Ghibaudo et T. Skotnicki "Unexpected mobility degradation for very short devices: A new challenge for CMOS scaling" Pages 1–4, Dec. (2006).
- [Emin04] Simone Eminentea, Marco Alessandrinia, Claudio Fiegna "Comparative analysis of the RF and noise performance of bulk and single-gate ultra-thin SOI MOSFETs by numerical simulation" Solid-State Electronics Volume 48, Issue 4 Pages 543–549 April (2004)
- [Esse02] Esseni D. Abramo A. Selmi L. Sangiorgi E "Study of low field electron transport in ultra-thin single and double-gate SOI MOSFETs" Electron Devices Meeting, 2002. IEDM International pages 719-722 (2002)
- [Esse05] David Esseni and Pierpaolo Palestri "Linear combination of bulk bands method for investigating the low-dimensional electron gas in nanostructured devices" Phys. Rev. B Volume 72 Issue 16 page 14 (2005)
- [Ergi50] C. Erginsoy "Neutral Impurity Scattering in Semiconductors" Physical Review, vol. 79, no. 6, pp. 1013-1014 (1950)
- [Feno09] C Fenouillet-Beranger, et al. "Ultra Compact FDSOI Transistors including Strain and Orientation: Processing and Performance" ECS Trans. volume 19, issue 4, 55-64 (2009)
- [Feno11] C. Fenouillet-Beranger, P. Perreau, M. Casse, X. Garros, C. Leroux, F. Martin, R. Gassilloud, A. Bajolet, L. Tosti, S. Barnola, F. Andrieu, O. Weber "UTBOX and ground plane combined with Al₂O₃ inserted in TiN gate for V_T modulation in fully-depleted SOI CMOS transistors" International Symposium on VLSI Technology, Systems and Applications - VLSI-TSA , pp. 1-2, (2011)
- [Feno12] Claire Fenouillet-Beranger et all "Enhancement of devices performance of hybrid FDSOI/bulk technology by using UTBOX sSOI substrates" VLSI Technology (VLSIT),Symposium on Page(s): 115 – 116 (2012)
- [Fleu09] D. Fleury, G. Bidal, A. Cros, F. Boeuf, T. Skotnicki and G. Ghibaudo. "New experimental insight into ballistics of transport in strained bulk MOSFETs". pages 16 – 17, Symposium on VLSI Technology Digest, (2009).

- [Kerr84] D.K Ferry "Effects of surface roughness in inversion layer transport" IEDM Tech. Digest 605–8 (1984)
- [C.Kittel] Charles Kittel et al "Physique de l'état solide" édition DUNOD 2008
- [Jaco77] C. Jacoboni, C. Canali, G. Ottaviani A. Alberigi Quaranta. "A review of some charge transport properties of silicon". Solid-State Electronics, vol. 20, no. 2, pages 77 – 89 (1977)
- [Jeon89] D. Jeon, D.Burk, "MOSFET electron inversion layer motilities A physically based semi-empirical model for a wide temperature range", IEEE Transactions on Electron Devices, vol.36, no.8, p. 1456-1463, (1989)
- [Hong05] Hong-Nien Lin et al "Channel backscattering characteristics of uniaxially strained nanoscale CMOSFETs" Electron Device Letters, IEEE Volume: 26 Issue: 9 Page(s): 676 - 678 (2005)
- [Hwan04] Hwang, J.R. et al "Symmetrical 45nm PMOS on [110] substrate with excellent S/D extension distribution and mobility enhancement" VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on pages 90 – 91 (2004)
- [Kita08] K. Kita and A. Toriumi "Intrinsic Origin of Electric Dipoles Formed at High-k/SiO₂ Interface" IEDM (2008)
- [Lund92] M. Lundstrom "Elementary scattering theory of the Si MOSFET" IEEE Electron Device Lett., vol. 18, no. 7, pages 361 – 3, (1997).
- [Lund02] M. Lundstrom and Z. Ren, "Essential physics of carrier transport in nanoscale MOSFET's," IEEE Trans. Electron Devices, vol. 49, pp. 133–141, Jan.(2002).
- [Lund01] M. Lundstrom. "On the mobility versus drain current relation for a nanoscale MOSFET" IEEE Electron Device Letters, vol. 22, no. 6, pages 293 – 5, (2001)
- [M.Lundstrom] Mark Lundstrom "Fundamentals of carrier transport" Springer, (2006).
- [Math11] Henry Mathieu "Physique des semiconducteurs et des composants électroniques" édition Dunod (2011)
- [Mase83] G. Masetti, M. Severi S. Solmi. "Modeling of carrier mobility against carrier concentration in arsenic, phosphorus, and boron-doped silicon." IEEE Transactions on Electron Devices, vol. ED-30, no. 7, pages 764 – 9, (1983).
- [Nato94] Kenji Natori "Ballistic metal-oxide semiconductor field effect transistor" Journal of Applied Physics Volume 76 Issue 8 page 4879 (1994)
- [Naya93] D. K. Nayak, J. C. S. Woo, J. S. Park et al. "High-mobility p-channel metal-oxide-semiconductor field-effect transistor on strained Si" Applied Physics Letters, vol. 62, no. 22, p.2853-2855, (1993).
- [Quer06] D. Querlioz, J. Saint-Martin, V. N. Do, A. Bournel, P. Dollfus, "Fully Quantum Self-Consistent Study of Ultimate DG-MOSFETs Including Realistic

- Scattering Using a Wigner Monte-Carlo Approach” IEDM Technical Digest, pp. 941-944, (2006).
- [Irie04] Irie, H. ta, K, Kyuno, K, Toriumi, A. “In-plane mobility anisotropy and universality under uni-axial strains in nand p-MOS inversion layers on (100), [110], and (111) Si” Electron Devices Meeting,. IEDM Technical Digest. IEEE International pages 225 – 228 (2004)
- [Gall04] C. Gallon, C. Fenouillet-Beranger, Y.M. Meziani, J.P. Cesso, J. Lusakowski, F. Teppe, N. Dyakonova, A. Vandooren, W. Knap, G. Ghibaudo, D. Delille, S. Cristoloveanu et T. Skotnicki. “New magneto resistance method for mobility extraction in scaled fully-depleted SOI devices” Pages 153 – SOI Conference, 2004. Proceedings.IEEE International (2004).
- [Gall05] C. Gallon, C. Fenouillet-Beranger, N. Bresson, S. Cristoloveanu, F. Allibert, S. Bord, C. Aulnette, D. Delille, E. Latu-Romain, J.M. Hartmann, T. Ernst, F. Andrieu, Y. Campidelli, B. Ghyselen, I. Cayrefourcq, F. Fournel, N. Kernevez, T. Skotnicki “Ultra-thin strained SOI substrate analysis by pseudo-MOS measurements” Microelectronic Engineering Volume 80, 17 June, Pages 241–244 (2005)
- [Ghan03] T. Ghani et al “A 90 nm high volume manufacturing logic technology featuring novel 45 nm gate length strained silicon CMOS transistors” in IEDM Tech. Dig., pp. 978–980. (2003)
- [Ghib88] G. Ghibaudo, “New method for the extraction of MOSFET parameters” Electronics Letters, vol.24, no. 9, p. 543, (1988).
- [Ghys04] B. Ghyselen et al “Engineering strained silicon on insulator wafers with the Smart Cut™ technology” Solid-State Electronics 48 1285–1296 (2004)
- [Guil05] T. Guillaume, M. Mouis “Variations of hole mass in p-MOSFETs under Process-induced mechanical stress” Proceedings of ESSDERC, Grenoble, France, page 289 (2005)
- [Pham09] L. Pham-Nguyen, C. Fenouillet-Beranger, A. Vandooren, T. Skotnicki, G. Ghibaudo, S. Cristoloveanu “In Situ Comparison of Si/High-k and Channel Properties in SOI MOSFETs” IEEE Electron Device Lett., vol. 30, no. 10, pp.232 (2009).
- [Pham10] L. Pham-Nguyen, C. Fenouillet-Beranger, G. Ghibaudo, T. Skotnicki, and S. Cristoloveanu, “Mobility enhancement by CESL strain in short-channel ultrathin SOI MOSFETs” Solid-State Electronics Volume 54, Issue 2, Pages 123–130. (2010)

- [Pont06] D. Ponton, L. Lucci, P. Palestri, D. Esseni et L. Selmi. "Assessment of the impact of biaxial strain on the drain current of decanometric n-MOSFET." pages 166, Solid-State Device Research Conference, ESSDERC (2006).
- [Ride12] D. Rideau, F. Monsieur, I. Ben-Akkez, S. Heandler, A. Cros, O. Saxod, C. Tavernier , and H. Jaouen "Characterization and modeling of back bias on remote-Coulomb-limited mobility in UTBB-FDSOI Devices" SSDM 2012
- [Piro00] A. Pirovano, A.L. Lacaita, G. Zandler et R. Oberhuber. "Explaining the dependences of the hole and electron motilities in Si inversion layers". IEEE Transactions on Electron Devices, vol. 47, no. 4, pages 718 – 24, (2000).
- [Richa03] Soline Richard, Frédéric Aniel, Guy Fishman, and Nicolas Cavassilas "Energy-band structure in strained silicon: A 20-band kp and Bir-Pikus Hamiltonian model" J. Appl. Phys. 94, 1795 (2003)
- [Roma04] K. Romanjek et al, WOLTE proceedings, p. 201-208, (2004)
- [Sah72] C.T. Sah, T. Ning and L. Tschopp "The scattering of electrons by surface oxide charge and by the lattice vibrations at the Si-SiO₂ interface" Surface Sci vol. 32, p. 561-575,(1972)
- [Sher94] M.J. Sherony, L.T. Su, J.E. Chung, D.A. Antoniadis, "SOI MOSFETs effective channel mobility", IEEE Transactions on Electron Devices, Vol.41, N°2, pp.276, (1994).
- [Shim01] A. Shimizu et al "Local mechanical-stress control (LMC): A new technique for CMOS-performance enhancement" in IEDM Tech. Dig, pp. 433–436. (2001)
- [Shur02] M. S. Shur "Low ballistic mobility in submicron HEMTs", IEEE Electron Device Letters, vol. 23, pp. 511 -513. (2002)
- [Smit54] C. S. Smith "Piezoresistance effect in Germanium and Silicon", Physical Review, vol. 94, no. 1, p.42, (1954).
- [Skot08] T.Skotnicki et al "Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia" IEEE Transaction on Electron Device, Vol. 55, No. 1, (2008)
- [Sury03] Suryagandh, S.S.arg, M. Woo, J.C.S. "Comparison between bulk and SOI MOSFETs for sub-100nm mixed mode applications" European Solid-State Device Research, 2003. ESSDERC 33rd Conference on (2003)
- [Taka94] Shin-ichi. Takagi, A. Toriumi, M. Iwase and H. Tango. "On the universality of inversion layer mobility in Si MOSFET's: Part I-effects of substrate impurity concentration". Electron Devices, IEEE Transactions on, vol. 41, no. 12, pages 2357–2362, (1994).

- [Tats08] Kosuke Tatsumura et al “Intrinsic Correlation between Mobility Reduction and V_T shift due to Interface Dipole Modulation in HfSiON/SiO₂ stack by La or Al addition” IEDM (2008)
- [Tsut05] TSUTSUI Gen, SAITOH Masumi, NAGUMO Toshiharu, HIRAMOTO Toshiro “Experimental Study on the Universality of Mobility Behavior in Ultra Thin Body Metal Oxide Semiconductor Field Effect Transistors” Japanese journal of applied physics vol. 44 (1), no 6, pp. 3889-3892 (2005)
- [Uchi05] K. Uchida, T. Krishnamohan, K.C. Saraswat Y. Nishi, “Physical mechanisms of electron mobility enhancement in uniaxial stressed MOSFETs and impact of uniaxial stress engineering in ballistic regime” IEDM technical digest, p. 129-32, (2005)
- [Webe04] O. Weber et al “Experimental determination of mobility scattering mechanisms in Si/HfO₂/TiN and SiGe:C/HfO₂/TiN surface channel n- and p-MOSFETs” Electron Devices Meeting IEDM Technical Digest. IEEE International. (2004)
- [Wang03] Jing Wang, and Mark Lundstrom “Ballistic Transport in High Electron Mobility Transistors” IEEE TED Vol.50 No 7 (2003)
- [Webe05] O. Weber, M. Cassé, L. Thevenod, F. Ducroquet, T. Ernst, B. Guillaumot, S. Deleonibus, “Accurate Investigation of the High-k Soft Phonon Scattering Mechanism in Metal Gate MOSFETs”, Proceedings of ESSDERC, pp. 379-382, (2005).
- [Webe06] O. Weber et al “On the mobility in high-k/metal gate MOSFETs : Evaluation of the high-k phonon scattering impact”. Solid-State Electronics, vol. 50, no. 4, pages 626–31, (2006)
- [Wels94] J. Welser, J. L. Hoyt, S. Takagi et al “Strain dependence of the performance enhancement in strained-Si n-MOSFETs”, IEEE IEDM Technical Digest, (1994)
- [Yan92] Yan, R.-H. Ourmazd, A. Lee, K.F. “Scaling the Si MOSFET: from bulk to SOI to bulk” Electron Devices, IEEE Transactions on Volume: 39, Issue: 7 Page(s): 1704-1710 (1992)
- [Yang03] Yang, M. Leong, L. Shi, K. Chan, V. Chant, A. Chout “High performance CMOS fabricated on hybrid substrate with different crystal orientations”. IEDM (2003)
- [Zill07] M. Zilli, D. Esseni, P. Palestri, and L. Selmi, “On the Apparent Mobility in Nanometric n-MOSFETs”, IEEE Electron Device Letters (2007)
- [Zhao08] Yi Zhao, Mitsuru Takenaka and Shinichi Takagi “Comprehensive understanding of surface roughness and Coulomb scattering mobility in

biaxially-strained Si MOSFETs" Electron Devices Meeting, 2008. IEDM. IEEE
International Page(s):1-4 (2008)

Conclusion et perspectives

Ce manuscrit a présenté une étude théorique et expérimentale effectuée sur des transistors MOSFET d'une technologie avancée de type FD SOI (complètement déserté silicium sur isolant). Des mesures électriques combinées avec des modélisations ont été effectuées dans le but d'expliquer les phénomènes liés à la réduction des dimensions des transistors. Ce manuscrit contribue à apporter une réponse relative à l'impact de ces aspects sur les propriétés électrostatiques ainsi que sur les paramètres de transport.

Les deux premiers chapitres nous ont permis de passer en revue les problématiques auxquelles l'industrie de la microélectronique est confrontée. Nous avons aussi présenté les équations de base qui régissent le fonctionnement d'un transistor MOSFET sur silicium massif, et discuté de la validité de ces équations sur les dispositifs SOI ainsi que des différentes méthodes d'extraction des paramètres électriques développées sur « Bulk ». Nous avons par ailleurs fait un état de l'art des principales technologies à base de silicium massif, SOI et de matériaux alternatifs et nous avons discuté des possibles architectures de transistors proposées pour les prochains nœuds technologiques.

Nous avons présenté ensuite la différence entre cette structure et le transistor silicium Bulk ainsi que son principe de fonctionnement. Nous avons pointé les avantages d'un tel dispositif. Ensuite, nous nous sommes penchés sur les effets qu'entraîne la miniaturisation et comment notre transistor permet de réduire son impact sur les performances. Nous avons regardé aussi l'effet du plan de masse "Ground Plane" et la polarisation face arrière "Back Biasing" sur les différents paramètres du transistor comme le DIBL, la tension de seuil V_{th} et la mobilité des porteurs dans le canal.

Le troisième chapitre a été consacré à l'étude des capacités sur nos dispositifs FD SOI. Nous avons effectué des modélisations ainsi que des mesures dans le but de déterminer l'impact des capacités parasites sur les paramètres électriques du transistor. Nous avons mis au point une nouvelle méthodologie qui permet d'extraire les paramètres électriques importants comme la capacité de l'oxyde avec plus de rigueur en se basant sur la dépendance de la fonction de Maserjian Y_m en l'inverse de la charge d'inversion au carré.

Ce modèle sera utilisé, dans des futurs travaux, pour comparer les résultats des différents modèles de simulation Poisson-Schrödinger.

D'autres mesures capacitatives seront nécessaires sur des structures spéciales de type 'Gated Diode' (structure avec source et drain de type opposé) pour soustraire la contribution des capacités parasites et pour extraire le paramètre longueur effective du canal L_{eff} . Des mesures de pompage de charges sur des structures avec une prise sur le canal seront aussi utiles pour déterminer la densité d'états d'interface, ce qui pourrait aider à la compréhension des mécanismes de transport dans le canal et des phénomènes qui peuvent réduire la mobilité.

Le quatrième chapitre a été dédié à la compréhension des mécanismes de transport dans les transistors FDSOI et sur silicium massif pour anticiper les gains de performances dans les générations à venir. Les analyses présentées dans ce dernier chapitre permettent de confirmer que le transport dans les transistors courts semble donc limité par une quasi-saturation du courant plutôt que par une quasi-balisticité des porteurs dans le sens où les collisions ont toujours un rôle majeur dans le transport et où l'observation d'un passage balistique (sans interaction) est fortement improbable.

Des mesures basses températures nous ont permis de décorrélérer la contribution de chacune des composantes de mobilité et ainsi de comprendre les mécanismes qui la réduisent que ce soit sur les transistors Bulk ou FD SOI.

Ce dernier chapitre a également démontré que les collisions ont toujours un rôle très important dans les mécanismes de transport des porteurs dans les transistors très courts. Toutes les extractions et les décompositions de la mobilité à faible champ ont été basées sur un modèle empirique. Il sera nécessaire ultérieurement de valider précisément ce modèle par des simulations Monte Carlo.

La technologie CMOS a certainement encore de beaux jours devant elle, et ce type d'études relatives à la modélisation et la caractérisation fines sur les transistors des prochains nœuds technologiques seront encore très importantes. Il faudra en effet étudier les effets de canaux courts qui augmentent exponentiellement dégradant substantiellement les performances en I_{on}/I_{off} , ainsi que poursuivre les analyses concernant la réduction de la mobilité avec l'intégration. Ceci permettra de contribuer à mieux comprendre les phénomènes qui régissent le fonctionnement des dispositifs nanométriques innovants et à relever les défis futurs consistant à maîtriser les procédés de fabrication qui pourront intégrer des nouveaux

matériaux comme le germanium ou les matériaux (III-IV) pour le canal, de nouveaux diélectriques « high k », des source/drain métalliques et/ou des architectures multi-grilles.

Liste de publications

1. “*Characterization and Modeling of Capacitances in FD-SOI Devices*” **I. Ben Akkez**, A. Cros, C. Fenouillet-Beranger, P. Perreau, A. Margain, F. Boeuf, F. Balestra, G. Ghibaudo
ULIS 2011 Cork
2. “*Characterization and Modeling of Capacitances in FD-SOI Devices*” **I. Ben Akkez**, A. Cros, C. Fenouillet-Beranger, P. Perreau, A. Margain, F. Boeuf, F. Balestra, G. Ghibaudo
Solid State Electronics 2011
3. “*Low temperature mobility study in UTBOX FD-SOI devices: rotated versus not rotated substrates*” **I. Ben Akkez**, C. Fenouillet-Beranger, A. Cros, P. Perreau, F. Balestra, G. Ghibaudo, F. Boeuf **EuroSOI 2012 Montpellier**
4. “*Impact of substrate orientation on Ultra Thin BOX Fully Depleted SOI electrical and mobility performances*” **I. Ben Akkez**, C. Fenouillet-Beranger, A. Cros, P. Perreau, S. Haendler, O. Weber, F. Andrieu, D. Pellissier-Tanon, F. Abbate, C. Richard, R. Beneyton, P. Gouraud, A. Margain, C. Borowiak, E. Gourvest, K. K. Bourdelle, B. Y. Nguyen, T. Poiroux, T. Skotnicki, O. Faynot, F. Balestra, G. Ghibaudo, F. Boeuf. **ULIS 2012 Grenoble**
5. “*Impact of 45° rotated substrate on UTBOX FDSOI high-k Metal gate technology*” **I. Ben Akkez**, C. Fenouillet-Beranger, A. Cros, P. Perreau, S. Haendler, O. Weber, F. Andrieu, D. Pellissier-Tanon, F. Abbate, C. Richard, R. Beneyton, P. Gouraud, A. Margain, C. Borowiak, E. Gourvest, K. K. Bourdelle, B. Y. Nguyen, T. Poiroux, T. Skotnicki, O. Faynot, F. Balestra, G. Ghibaudo, F. Boeuf VLSI TSA 2012 Taiwan
6. “*New split C-V based parameter extraction method for FDSOI MOSFETs*” **I. Ben Akkez**, A. Cros, C. Fenouillet-Beranger, F. Boeuf, Q. Raffay, F. Balestra, G. Ghibaudo. **Essderc 2012 Bordeaux**
7. “*On the understanding of mobility degradation mechanisms in advanced CMOS devices: FDSOI versus bulk technology*” **I. Ben-Akkez** C. Diouf A. Cros C. Fenouillet-Beranger, P. Perreau F. Balestra, G. Ghibaudo, F. Boeuf **SSDM 2012**

8. *“Enhancement of devices performance of hybrid FDSOI/bulk technology by using UTBOX sSOI substrates”* C.Fenouillet-Beranger, P. Perreau, O. Weber, **I. Ben-Akkez**, A. Cros, A. Bajolet, S. Haendler, P. Fonteneau, P. Gouraud, E. Richard, F. Abbate, D. Barge, D. Pelissier-Tanon, B. Dumont, F. Andrieu, J. Passieux, R. Bon, V. Barral, D. Golanski, D. Petit, N. Plane, W. Schwarzenback, T. Poiroux, O. Faynot, M. Haond, F. Bœuf **VLSI Technology (VLSIT), 2012 Symposium on**

9. *“Characterization and Modeling of Back Bias Impacts on Remote-Coulomb-Limited Mobility in UTBB-FDSOI Devices”* D. Rideau, F. Monsieur, **I. Ben-Akkez**, S. Haendler, A. Cros, O. Nier, O. Saxod, C. Tavernier, and H. Jaouen **SSDM 2012**

